

JP2003158134

W 2 9 1 0 - 0 1

Patent number: JP2003158134

Publication date: 2003-05-30

Inventor:

Applicant:

Classification:

- international: **G02F1/1368; H01L21/336; H01L29/786; H01L51/00; G02F1/13; H01L21/02; H01L29/66; H01L51/00;** (IPC1-7): H01L21/336; G02F1/1368; H01L29/786; H01L51/00

- european:

Application number: JP20010358215 20011122

Priority number(s): JP20010358215 20011122

[View INPADOC patent family](#)**Abstract of JP2003158134**

PROBLEM TO BE SOLVED: To provide a TFT having small parasitic capacitance. **SOLUTION:** The TFT is equipped with a substrate 11, a source electrode 15s and a drain electrode 15d arranged on the substrate apart from each other, organic semiconductor thin films 16 arranged on the source electrode 15s and the drain electrode 15d, gate insulation films 17 arranged on the organic semiconductor films 16, and gate electrodes 20 arranged on the gate insulation films 17 but not superposed on a position produced by the parallel projection of the patterns of the source electrode 15s and the drain electrode 15d. A separating body 14 made of a hydrophobic material and arranged on the substrate 11 is provided while the source electrode 15s and the drain electrode 15d are arranged at both sides of the separating body 14. A first hydrophobic structural body 19a and a second hydrophobic structural body 19b are arranged apart from each other, and are provided while the gate electrode 20 is arranged and pinched by the first hydrophobic structural body 19a and the second hydrophobic structural body 19b.

(19) 日本国特許庁 (J P)

(12) 公開特許公報 (A)

(11) 特許出願公開番号

特開2003-158134

(P2003-158134A)

(43) 公開日 平成15年5月30日 (2003.5.30)

(51) Int.Cl. ⁷	識別記号	F I	テーマコード* (参考)
H 0 1 L 21/336		G 0 2 F 1/1368	2 H 0 9 2
G 0 2 F 1/1368		H 0 1 L 29/78	6 1 6 K 5 F 1 1 0
H 0 1 L 29/786			6 1 6 N
51/00			6 1 7 J
			6 2 7 A

審査請求 未請求 請求項の数 5 O L (全 26 頁) 最終頁に続く

(21) 出願番号 特願2001-358215(P2001-358215)

(22) 出願日 平成13年11月22日 (2001.11.22)

(71) 出願人 000003078

株式会社東芝

東京都港区芝浦一丁目1番1号

(72) 発明者 原 雄二郎

神奈川県川崎市幸区小向東芝町1番地 株式会社東芝研究開発センター内

(72) 発明者 日置 毅

神奈川県川崎市幸区小向東芝町1番地 株式会社東芝研究開発センター内

(74) 代理人 100083806

弁理士 三好 秀和 (外7名)

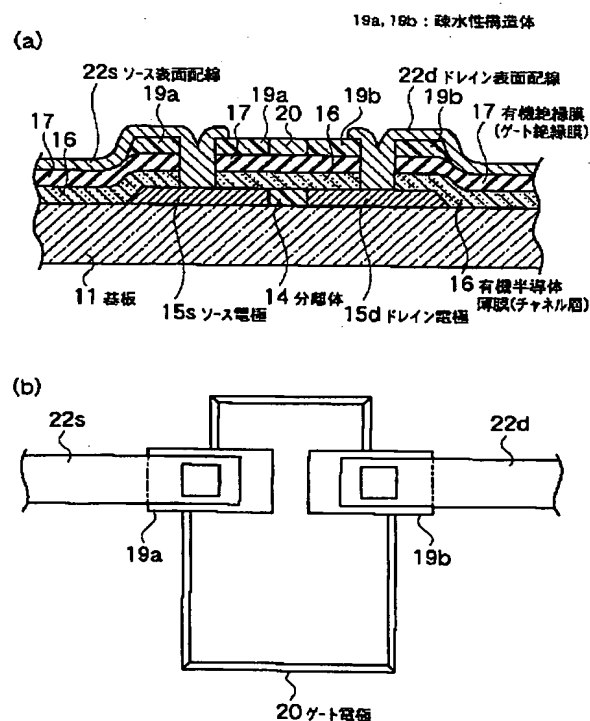
最終頁に続く

(54) 【発明の名称】 半導体装置及びその製造方法

(57) 【要約】

【課題】 寄生容量の小さいTFTを提供する。

【解決手段】 基板11；基板11上に互いに離間して配置されたソース電極15s及びドレイン電極15d；ソース電極15s及びドレイン電極15dの上部に配置された有機半導体薄膜16；有機半導体薄膜16上に配置されたゲート絶縁膜17；ゲート絶縁膜17上に配置され、ソース電極15s及びドレイン電極15dのパターンを平行投影した位置に重ならないように配置されたゲート電極20とを具備する。基板11上に配置された疎水性材料からなる分離体14を有し、ソース電極15s及びドレイン電極15dは、分離体14の両側に配置されている。互いに離間して配置された第1の疎水性構造体19a及び第2の疎水性構造体19bを有し、ゲート電極20は、第1の疎水性構造体19a及び第2の疎水性構造体19bに挟まれて配置されている。



【特許請求の範囲】

【請求項1】 光学的に透明な基板と、前記基板上に配置された疎水性材料からなる分離体と、前記分離体を挟んで、前記基板上に互いに離間して配置された第1主電極及び第2主電極と、前記第1主電極、第2主電極及び分離体の上部に配置された半導体薄膜と、前記半導体薄膜上に配置されたゲート絶縁膜と、前記ゲート絶縁膜上に配置され、前記基板面に対して垂直な方向に前記第1主電極及び第2主電極のパターンを平行投影した位置に重ならないように配置されたゲート電極とを具備することを特徴とする半導体装置。

【請求項2】 光学的に透明な基板と、前記基板上に互いに離間して配置された第1主電極及び第2主電極と、前記第1主電極、第2主電極及びこれらの間の上部に配置された半導体薄膜と、前記半導体薄膜上に配置されたゲート絶縁膜と、前記ゲート絶縁膜上に配置され、前記基板面に対して垂直な方向に前記第1主電極及び第2主電極のパターンをそれぞれ平行投影した第1及び第2の疎水性構造体のパターンと、前記第1及び第2の疎水性構造体のパターンに挟まれて配置されたゲート電極とを具備することを特徴とする半導体装置。

【請求項3】 光学的に透明な基板と、前記基板上に配置されたゲート電極と、前記ゲート電極の上部に配置されたゲート絶縁膜と、前記ゲート絶縁膜の上部に配置された半導体薄膜と、前記半導体薄膜上に配置され、前記基板面に対して垂直な方向に前記ゲート電極のパターンを平行投影した位置に配置された疎水性材料からなる分離体と、前記半導体薄膜上において、前記分離体の両側に配置された第1主電極及び第2主電極とを具備することを特徴とする半導体装置。

【請求項4】 光学的に透明な基板上に疎水性材料からなる分離体を形成する工程と、水又は水と親和性のある液体に分散された導電性材料を印刷することにより前記分離体で分離された第1主電極及び第2主電極を形成する工程と、前記分離体、第1主電極及び第2主電極のパターン上に半導体薄膜を堆積する工程と、前記半導体薄膜上にゲート絶縁膜を堆積する工程と、前記ゲート絶縁膜上に疎水性の感光性薄膜を堆積する工程と、前記基板裏面より光を前記感光性薄膜に対して照射することにより前記第1主電極及び第2主電極のパターンを平行投影した第1及び第2の疎水性構造体のパターンを前記感光性薄膜により形成する工程と、水又は水と親和性のある液体に分散された導電性材料を

印刷することにより前記第1及び第2の疎水性構造体の間の前記ゲート絶縁膜の上部にゲート電極を形成する工程とを具備することを特徴とする半導体装置の製造方法。

【請求項5】 光学的に透明な基板上にゲート電極を形成する工程と、前記ゲート電極上にゲート絶縁膜を堆積する工程と、前記ゲート絶縁膜上に半導体薄膜を堆積する工程と、前記半導体薄膜上に疎水性の感光性薄膜を堆積する工程と、基板裏面より光を前記感光性薄膜に対して照射することにより前記ゲート電極のパターンを平行投影した分離体を前記感光性薄膜により形成する工程と、水又は水と親和性のある液体に分散された導電性材料を印刷することにより前記分離体により分離された、第1主電極及び第2主電極のパターンを形成する工程とを具備することを特徴とする半導体装置の製造方法。

【発明の詳細な説明】

【0001】

【発明の属する技術分野】本発明はフラットパネルディスプレイの駆動用などに用いられる半導体装置及びその製造方法に関する。

【0002】

【従来の技術】液晶ディスプレイ（LCD）やELディスプレイなどの表示装置においては、ガラス基板上にマトリクス状に形成されたスイッチング素子としての薄膜トランジスタ（以下において「TFT」という。）及び画素電極を選択駆動することにより、画面上に表示パターンが得られる。

【0003】例えば、アクティブマトリクス型LCDは、ガラス基板上に、TFTをマトリクス状に形成し、対向ガラス基板と $5\mu\text{m}$ 程度のギャップを設けて固定し、その間に液晶を注入して、高画質なフルカラー表示の得られる薄型の表示装置として利用されている。

【0004】従来、こうした表示装置に用いられるスイッチング素子としては、シリコンを活性層としたTFTが用いられてきた。しかし、シリコン薄膜の形成にはCVD法などの真空工程が必要であり、製造コストが増大する原因となっている。

【0005】又、基板としては通常ガラスが用いられるが、ガラス基板は衝撃性に弱く割れやすい。このため割れにくく、薄く、軽量でフレキシブルな基板としてプラスチックを基板として用いることが提案されているが、プラスチック基板はガラス基板に比べて耐熱性がはるかに劣るため、TFTをプラスチック基板上に形成することは難しい。

【0006】そこで、低温かつ安価なプロセスで形成可能な有機半導体を活性層に用いたスイッチング素子の検討が進められている。

【0007】その一つに、ソース・ドレイン電極やゲー

ト電極の全部又は一部をインクジェットプリント法（以下において「ＩＪＰ」法という。）によりパターン形成する方法が提案されている。ＩＪＰ法でのパターン形成はＣＶＤ法などによる成膜とフォトリソグラフィ工程によるパターン形成と比較してプロセスコストが低減出来る。又、パターンの必要な領域にのみ印刷すれば良いため、部材コストの低減も可能である。

【０００８】一方で、ＩＪＰ法によるパターン形成はフォトリソグラフィ工程と比べてパターン制御性が劣るため、微細なパターン形成が困難であり、高精細化に限界がある。特にトランジスタ部分においては、微細なパターン形成が出来ないとソース・ドレイン間の短絡を防ぐためにはチャネル長を長くするしかなく、十分なソース・ドレイン間電流が得られなくなってしまう。更に、ソース・ドレイン間の距離で決まるチャネル長がばらついてしまい、ソース・ドレイン間電流の制御性が悪くなるという問題もある。これらの問題を解決する手法として、疎水性のポリイミドからなるストライプパターンをあらかじめ形成し、その上からＩＪＰ法により水溶性の導電体を印刷してソース・ドレインをパターン形成することで、ソース・ドレイン間の短絡を生じることなく、チャネル長を均一で短くする手法が提案されている。

【０００９】図５９に従来の薄膜トランジスタの構造を示す。図５９に示す従来の薄膜トランジスタは、以下のような製造方法で製造される。まず、ガラスやプラスチックなどからなる基板１１の上にフォトリソグラフィ工程によりポリイミドのストライプパターンからなる分離体１４を形成する。分離体１４の幅は５～２０μｍとしている。続いて、分離体１４を含む領域に水溶性の導電体をＩＪＰ法により印刷する。ポリイミドからなる分離体１４は疎水性のため分離体１４上には導電体は形成されず、分離体１４の両側に、ソース電極１５ｓ及びドレイン電極１５ｄが形成される。続いて有機半導体薄膜１６及び有機絶縁膜１７をスピコート法により所望の厚さで形成する。有機半導体薄膜１６及び有機絶縁膜１７は、それぞれチャネル層１６及びゲート絶縁膜１７となる。更に、ソース電極１５ｓ及びドレイン電極１５ｄの上部を跨ぐようにＩＪＰ法により導電体が塗布され、ゲート電極８１を形成して、薄膜トランジスタが完成する。

【００１０】上記方法で形成された薄膜トランジスタではパターン形成のほとんどをインクジェット法やスピコート法で行うことが可能なため、プロセスコストを低減出来る上、ソース電極１５ｓ及びドレイン電極１５ｄ間の短絡を生じることなく、チャネル長を均一で短くすることが可能である。

【００１１】

【発明が解決しようとする課題】しかしながら、ゲート電極８１のパターンはＩＪＰ法により形成されており、微細なパターン制御が難しいため、ソース電極１５ｓ及

びドレイン電極１５ｄとゲート電極８１との平面的な重なり面積が大きくなる。この結果、トランジスタの寄生容量 C_{GS} 及び C_{GD} が増大してしまう。このようなＴＦＴからなるスイッチング素子を含むアレイを用いてアクティブマトリクス型ＬＣＤを形成した場合、寄生容量 C_{GS} 、 C_{GD} による画素電極の変動のため、所望の表示が得られなくなる、という問題が発生する。

【００１２】この様に、ＩＪＰ法により薄膜トランジスタのゲート電極８１を形成する従来の方法では、薄膜トランジスタの寄生容量 C_{GS} 、 C_{GD} の増大を抑えることが出来ない、という問題があった。

【００１３】上記問題点を鑑み、本発明は、第１主電極とゲート電極間、或いは第２主電極とゲート電極間の寄生容量 C_{GS} 、 C_{GD} を削減出来、高速動作可能な半導体装置を提供することを目的とする。

【００１４】本発明の他の目的は、第１主電極とゲート電極間、或いは第２主電極とゲート電極間が平面パターン上オーバーラップすることがない構造が、自己整合的に実現出来る半導体装置の製造方法を提供することである。更に、これにより、高速動作可能な半導体装置を高い製造歩留まりで製造すること、更に、ゲート長の短縮を容易とすることにより、変換コンダクタンス g_m が大きく、駆動能力が高い半導体装置の製造方法を提供することである。

【００１５】

【課題を解決するための手段】上記目的を達成するために、本発明の第１の特徴は、（イ）光学的に透明な基板；（ロ）基板上に配置された疎水性材料からなる分離体；（ハ）分離体を挟んで、基板上に互いに離間して配置された第１主電極及び第２主電極；（ニ）第１主電極、第２主電極及び分離体の上部に配置された半導体薄膜；（ホ）半導体薄膜上に配置されたゲート絶縁膜；（ヘ）ゲート絶縁膜上に配置され、基板面に対して垂直な方向に第１主電極及び第２主電極のパターンを平行投影した位置に重ならないように配置されたゲート電極とを具備する半導体装置であることを要旨とする。ここで、「第１主電極」とは、電界効果トランジスタ（ＦＥＴ）や静電誘導トランジスタ（ＳＩＴ）等のソース電極又はドレイン電極のいずれか一方を意味する。「第２主電極」とは、ＦＥＴ、ＳＩＴ等において、上記第１主電極とはならないソース電極又はドレイン電極のいずれか一方を意味する。第１主電極及び第２主電極の間の半導体薄膜をチャネル層として流れる主電流はゲート電極に印加される電圧で制御される。以下の第２～第５の特徴においても、「第１主電極」及び「第２主電極」は、同様に定義される。また、「第１主電極及び第２主電極のパターンを平行投影した位置」とは、完全な平行投影に限定されるものではなく、回折等の影響で、多少の像の拡大・縮小は許容される。

【００１６】本発明の第１の特徴によれば、第１主電極

とゲート電極間、或いは第2主電極とゲート電極間が平面パターン上オーバーラップすることがない。このため、第1主電極とゲート電極間、或いは第2主電極とゲート電極間の平行平板コンデンサで近似される寄生容量を削減出来、高速動作可能な半導体装置を提供することが出来る。また、回折等の影響で、第1主電極とゲート電極間、或いは第2主電極とゲート電極間が平面パターン上に、光の波長オーダーのオーバーラップが存在したとしても、従来技術に比せば、十分な寄生容量の削減効果が得られる。

【0017】本発明の第2の特徴は、(イ) 光学的に透明な基板；(ロ) 基板上に互いに離間して配置された第1主電極及び第2主電極；(ハ) 第1主電極、第2主電極及びこれらの間の上部に配置された半導体薄膜；

(ニ) 半導体薄膜上に配置されたゲート絶縁膜；(ホ) ゲート絶縁膜上に配置され、基板面に対して垂直な方向に第1主電極及び第2主電極のパターンをそれぞれ平行投影した第1及び第2の疎水性構造体のパターン；

(ヘ) 第1及び第2の疎水性構造体のパターンに挟まれて配置されたゲート電極とを具備する半導体装置であることを要旨とする。

【0018】本発明の第2の特徴によれば、第1の特徴と同様に、第1主電極とゲート電極間、或いは第2主電極とゲート電極間が平面パターン上オーバーラップすることがない。このため、第1主電極とゲート電極間、或いは第2主電極とゲート電極間の平行平板コンデンサで近似される寄生容量を削減出来、高速動作可能な半導体装置を提供することが出来る。

【0019】本発明の第2の特徴において、基板上に配置された疎水性材料からなる分離体を更に有し、第1主電極及び第2主電極は、分離体の両側に配置されているようにしてもよい。

【0020】本発明の第3の特徴は、(イ) 光学的に透明な基板；(ロ) 基板上に配置されたゲート電極；

(ハ) ゲート電極の上部に配置されたゲート絶縁膜；

(ニ) ゲート絶縁膜の上部に配置された半導体薄膜；

(ホ) 半導体薄膜上に配置され、基板面に対して垂直な方向にゲート電極のパターンを平行投影した位置に配置された疎水性材料からなる分離体；(ヘ) 半導体薄膜上において、分離体の両側に配置された第1主電極及び第2主電極とを具備する半導体装置であることを要旨とする。

【0021】本発明の第3の特徴によれば、第1及び第2の特徴と同様に、第1主電極とゲート電極間、或いは第2主電極とゲート電極間が平面パターン上オーバーラップすることがない。このため、第1主電極とゲート電極間、或いは第2主電極とゲート電極間の平行平板コンデンサで近似される寄生容量を削減出来、高速動作可能な半導体装置を提供することが出来る。

【0022】本発明の第1及び第3の特徴において、互

いに離間して配置された第1及び第2の疎水性構造体を更に有し、ゲート電極は、第1及び第2の疎水性構造体に挟まれて配置されているようにしてもよい。

【0023】本発明の第4の特徴は、(イ) 光学的に透明な基板上に疎水性材料からなる分離体を形成する工程；(ロ) 水又は水と親和性のある液体に分散された導電性材料を印刷することにより分離体で分離された第1主電極及び第2主電極を形成する工程；(ハ) 分離体、第1主電極及び第2主電極のパターン上に半導体薄膜を堆積する工程；(ニ) 半導体薄膜上にゲート絶縁膜を堆積する工程；(ホ) ゲート絶縁膜上に疎水性の感光性薄膜を堆積する工程；(ヘ) 基板裏面より光を感光性薄膜に対して照射することにより第1主電極及び第2主電極のパターンを平行投影した第1及び第2の疎水性構造体のパターンを感光性薄膜により形成する工程；(ト) 水又は水と親和性のある液体に分散された導電性材料を印刷することにより第1及び第2の疎水性構造体の間のゲート絶縁膜の上部にゲート電極を形成する工程とを具備する半導体装置の製造方法であることを要旨とする。

【0024】本発明の第4の特徴によれば、第1主電極とゲート電極間、或いは第2主電極とゲート電極間が平面パターン上オーバーラップすることがない構造が、自己整合的に実現出来る。このため、第1主電極とゲート電極間、或いは第2主電極とゲート電極間の平行平板コンデンサで近似される寄生容量を削減出来、高速動作可能な半導体装置を高い製造歩留まりで製造することが出来る。更に、ゲート長の短縮が容易となるので、変換コンダクタンス g_m が増大し、駆動能力が増大する。

【0025】本発明の第5の特徴は、(イ) 光学的に透明な基板上にゲート電極を形成する工程；(イ) ゲート電極上にゲート絶縁膜を堆積する工程；(ロ) ゲート絶縁膜上に半導体薄膜を堆積する工程；(ハ) 半導体薄膜上に疎水性の感光性薄膜を堆積する工程；(ニ) 基板裏面より光を感光性薄膜に対して照射することによりゲート電極のパターンを平行投影した分離体を感光性薄膜により形成する工程；(ホ) 水又は水と親和性のある液体に分散された導電性材料を印刷することにより分離体により分離された、第1主電極及び第2主電極のパターンを形成する工程とを具備する半導体装置の製造方法であることを要旨とする。

【0026】本発明の第5の特徴によれば、第1主電極とゲート電極間、或いは第2主電極とゲート電極間が平面パターン上オーバーラップすることがない構造が、自己整合的に実現出来る。このため、第1主電極とゲート電極間、或いは第2主電極とゲート電極間の平行平板コンデンサで近似される寄生容量を削減出来、高速動作可能な半導体装置を高い製造歩留まりで製造することが出来る。更に、ゲート長の短縮が容易となるので、変換コンダクタンス g_m が増大し、駆動能力が増大する。

【0027】

【発明の実施の形態】次に、図面を参照して、本発明の第1～第7の実施の形態を説明する。以下の図面の記載において、同一又は類似の部分には同一又は類似の符号を付している。ただし、図面は模式的なものであり、厚みと平面寸法との関係、各層の厚みの比率等は現実のものとは異なることに留意すべきである。したがって、具体的な厚みや寸法は以下の説明を参酌して判断すべきものである。又図面相互間においても互いの寸法の関係や比率が異なる部分が含まれていることは勿論である。

【0028】(第1の実施形態) 図1に示すように、本発明の第1の実施形態に係る半導体装置は、光学的に透明な基板11；この基板11上に互いに離間して配置された第1主電極(ソース電極)15s及び第2主電極(ドレイン電極)15d；第1主電極(ソース電極)15s及び第2主電極(ドレイン電極)15dの上部に配置された有機半導体薄膜16；この有機半導体薄膜16上に配置されたゲート絶縁膜17；このゲート絶縁膜17上に配置され、基板11の垂直方向に第1主電極(ソース電極)15s及び第2主電極(ドレイン電極)15dのパターンを平行投影した位置に重ならないように配置されたゲート電極20とを具備するTFTである。更に、図1に示すように、基板11と有機半導体薄膜16との間に配置された疎水性材料からなる分離体14を有し、第1主電極(ソース電極)15s及び第2主電極(ドレイン電極)15dは、分離体14の両側に配置されている。又、互いに離間して配置された第1の疎水性構造体19a及び第2の疎水性構造体19bを更に有し、ゲート電極20は、第1の疎水性構造体19a及び第2の疎水性構造体19bに挟まれて配置されている。

【0029】図1(a)に示すように、疎水性構造体19a、19b、有機絶縁膜17及び有機半導体薄膜16を貫通して、ソース電極15s及びドレイン電極15dに対するコンタクトホールが設けられている。このコンタクトホールを介して、アルミニウム(Al)若しくはアルミニウム合金(Al-Si, Al-Cu-Si)等の金属薄膜からなるソース表面配線22s及びドレイン表面配線22dが、それぞれ、ソース電極15s及びドレイン電極15dに接続されている。ソース表面配線22s及びドレイン表面配線22dは、図示の範囲を超えて延長され、図示の範囲を超える位置に配置されたソースボンディングパッド及びドレインボンディングパッドに接続されている。図1(b)において、ゲート電極20の下側の広い部分は、ゲートボンディングパッドとして機能している。このゲートボンディングパッドは、例示に過ぎず、表面配線で接続するように、例えば、紙面の下の方に設けても良い。

【0030】更に、図1(b)に示すような孤立パターンのゲート電極20ではなく、上側方向、下側方向、若しくは上下両方向に、紙面の範囲を超えて延長されるゲート配線とし、このゲート配線を他の半導体素子に接続

して半導体集積回路を構成しても良い。このように、半導体集積回路を構成する場合は、ソース表面配線22s及びドレイン表面配線22dも、図示の範囲を超えて、他の半導体素子のデバイス領域まで延長され、他の半導体素子に接続される。図1(b)は例示的な平面図であり、ゲート配線20、ソース表面配線22s及びドレイン表面配線22dは、屈折部、パターン幅変更部や分岐部等を有する複雑なトポロジーの配線パターンでも良いことは勿論である。

【0031】本発明の第1の実施形態に係る半導体装置によれば、第1主電極15sとゲート電極20間、或いは第2主電極15dとゲート電極20間が平面パターン上オーバーラップすることがない。このため、第1主電極15sとゲート電極20間、或いは第2主電極15dとゲート電極20間の平行平板コンデンサで近似される寄生容量 C_{GS} 、 C_{GD} を削減出来、高速動作可能な半導体装置(TFT)を提供することが出来る。

【0032】以下に、本発明の第1の実施形態に係る半導体装置(TFT)の製造工程を説明する。

【0033】(イ) 先ず、図2に示すように、ガラスやプラスチック等からなる基板11上にポリイミドなど、疎水性材料12を塗布する。疎水性材料12の厚さは0.5～10 μ m程度にすれば良い。

【0034】(ロ) 次に、疎水性材料12の上にフォトレジスト13を塗布し、フォトリソグラフィ工程により図3に示すようなフォトレジスト13のマスクを形成する。このフォトレジスト13のマスクを用いて、疎水性材料12パターンニングして、図4に示すように、3～20 μ m×10～100 μ m程度の大きさの分離体14を形成する。本発明の第1の実施形態では、例えば、分離体14は、厚さ1 μ m、大きさ5 μ m×60 μ m程度に選べば良い。分離体14の形成方法としては、感光性ポリイミドをスピンコート法で塗布し、更に所望の位置にのみ光を照射してパターンニングしても良い。

【0035】(ハ) 次に、疎水性の分離体14を跨ぐように導電性材料を印刷すると、分離体14の配置された部分の導電性材料ははじかれ、図5に示すように、分離体14のない部分にソース電極15s及びドレイン電極15dが分離形成される。導電性材料としては、導電体高分子であるPEDOT (polyethylenedioxythiophene)、PITN (polyisothianaphthene) などを用いれば良く、水又は水と親和性のある液体に分散して印刷することが可能である。印刷法としては、IJP法、スクリーン印刷法などを用いれば良い。

【0036】(ニ) 続いて、疎水性の分離体14、ソース電極15s及びドレイン電極15dの上に、図6に示すように、チャネル層となる有機半導体薄膜16を堆積する。堆積方法としては、スピンコート法、ディップ法などで良い。有機半導体薄膜16としては、例えば、F8T2 (fluorene-bithiophene copolymer) などが使用

可能である。有機半導体薄膜16の膜厚としては0.01~1 μ m程度であれば良い。本発明の第1の実施形態では、膜厚0.02 μ mのF8T2を用いた。

【0037】(ホ) 続いて、図7に示すように、チャンネル層16の上にゲート絶縁膜となる有機絶縁膜17を堆積する。形成方法としては、スピンコート法、ディップ法などで良い。有機絶縁膜17としては、PVP (poly-vinylphenol) やアクリル樹脂などが使用可能である。有機絶縁膜17の膜厚としては0.01~1 μ m程度であれば良い。本発明の第1の実施形態では、膜厚0.5 μ mのPVPを用いる。

【0038】(ヘ) 更に、ゲート絶縁膜17の上に、図8に示すように、疎水性の感光性薄膜18を堆積する。堆積方法としては、スピンコート法、ディップ法などで良い。感光性薄膜18の材料としては感光性ポリイミドなどがある。感光性薄膜18の膜厚としては、0.1~1 μ m程度であれば良い。本発明の第1の実施形態では0.3 μ mの感光性ポリイミドを用いる。続いて、基板11の裏面より感光性薄膜18を感光させるための光h ν を照射する。光h ν の波長域で分離体14とソース電極15s、ドレイン電極15dの光の透過率が異なるため、図9に示すように、ソース電極15s及びドレイン電極15dの像を平行投影するように、疎水性構造体19a、19bが、自己整合的に形成される。

【0039】(ト) 疎水性構造体19a、19bの形成された部分及びその周辺に導電性材料を印刷すると、疎水性構造体19a、19bの配置された部分の導電性材料ははじかれる。このため、図10に示すように、疎水性構造体19a、19bのない部分に、ゲート電極20が自己整合的に形成される。導電性材料としては、導電体高分子であるPEDOT (polyethylenedioxythiophene)、PITN (polyisothianaphthene) などを用いれば良く、水又は水と親和性のある液体に分散して印刷することが可能である。印刷法としては、IJP法、スクリーン印刷法などを用いれば良い。

【0040】(チ) その後、疎水性構造体19a、19b及び疎水性構造体19a、19bから露出した有機絶縁膜17の上にフォトレジストを塗布する。そして、フォトリソグラフィ工程によりフォトレジストのエッチングマスクを形成する。そして、このエッチングマスクを用いて疎水性構造体19a、19b、有機絶縁膜17及び有機半導体薄膜16の選択的なエッチングを行い、図11に示すように、ソース電極15s及びドレイン電極15dの上部にコンタクトホール21s、21dを開口する。この後、スパッタリング法、真空蒸着法などでアルミニウム(Al)若しくはアルミニウム合金(Al-Si, Al-Cu-Si)等の金属薄膜を、疎水性構造体19a、19b及び疎水性構造体19a、19bから露出した有機絶縁膜17の上に堆積する。この金属薄膜を、フォトリソグラフィ工程によりパターニングす

ることで、図1に示すようなソース表面配線22s及びドレイン表面配線22dを形成すれば、TFTが完成する。

【0041】第1の実施の形態に係るTFTの製造方法によれば、ゲート電極20とソース電極15s、更にはゲート電極20とドレイン電極15dとが基板11の平面上で重ならないようにTFTを形成することが出来る。しかも、CVD法等の高価な製造装置を使わずに、印刷法で製造出来るので極めて、製品コストを安価にすることが可能である。

【0042】なお、現実には、回折等の影響で、ソース電極15s及びドレイン電極15dの像が完全には平行投影されず、疎水性構造体19a、19bの像が縮小される場合がある。この場合には、ゲート電極20とソース電極15sとの間、或いはゲート電極20とドレイン電極15dとの間に(平面パターン上において)、光の波長オーダーのオーバーラップが発生する。しかし、この様な微少なオーバーラップが存在したとしても、従来技術に比せば、十分な寄生容量の削減効果が得られることは容易に理解出来るであろう。

【0043】図12(a)は、本発明の第1の実施の形態の変形例(第1変形例)に係るTFTの構造を示す断面図で図1とは異なり、第1主電極(ソース電極)15s及び第2主電極(ドレイン電極)15dが、有機半導体薄膜16と基板11の間を走行し、ソース埋め込み配線層15s及びドレイン埋め込み配線層15dとして機能している。ソース埋め込み配線層15s及びドレイン埋め込み配線層15dは図示の範囲を超えて、他の半導体素子のデバイス領域まで延長され、他の半導体素子に接続される。図12(b)において、ゲート電極20は下側方向に紙面の範囲を超える部分にまでに延長されるゲート配線である。このゲート配線20は、紙面の範囲を超える部分において、他の半導体素子に接続される。ゲート配線20、ソース埋め込み配線層15s及びドレイン埋め込み配線層15dをそれぞれ、ゲートボンディングパッド、ソースボンディングパッド及びドレインボンディングパッドに接続しても良い。この場合は、例えば、紙面の範囲を超える部分に配置された有機絶縁膜17及び有機半導体薄膜16を貫通する窓部を用いてソースボンディングパッド及びドレインボンディングパッドが設けられる。或いは、有機絶縁膜17及び有機半導体薄膜16を貫通するコンタクトホールを介して接続される表面配線層により、ソースボンディングパッド及びドレインボンディングパッドを構成しても良い。図12(b)は例示的な平面図であり、ゲート配線20、ソース埋め込み配線層15s及びドレイン埋め込み配線層15dは複雑な屈折部や分岐部を有する配線パターンでも良いことは勿論である。

【0044】図13(a)は、本発明の第1の実施の形態の変形例(第2変形例)に係るTFTの構造を示す断

面図で、第2主電極（ドレイン電極）15dのみが有機半導体薄膜16と基板11の間を走行し、ドレイン埋め込み配線層15dを構成している。第1主電極（ソース電極）15sはコンタクトホールを介して、ゲート絶縁膜17の上部に導出され、ソース表面配線22sに接続されている。したがって、ドレイン埋め込み配線層15dとソース表面配線22sとは、2層配線構造を構成している。図13(b)は対応する例示的な平面図であり、図12(b)と同様に、ゲート電極（ゲート配線）20ソース表面配線22s及びドレイン埋め込み配線層15dは複雑な屈折部や分岐部を有する配線パターンでも良いことは勿論である。

【0045】（第2の実施の形態）図14に示すように本発明の第2の実施の形態に係る半導体装置は、光学的に透明な基板11；この基板11上に配置されたゲート電極30；このゲート電極30の上部に配置されたゲート絶縁膜17；このゲート絶縁膜17の上部に配置された有機半導体薄膜16；この有機半導体薄膜16上に配置され、基板11の垂直方向にゲート電極30のパターンを平行投影した位置に配置された疎水性材料からなる分離体31；有機半導体薄膜16上において、分離体31の両側に配置された第1主電極（ソース電極）15s及び第2主電極（ドレイン電極）15dとを具備するTFTである。

【0046】本発明の第2の実施形態に係る半導体装置によれば、第1主電極15sとゲート電極30間、或いは第2主電極15dとゲート電極30間が平面パターン上オーバーラップすることがない。このため、第1主電極15sとゲート電極30間、或いは第2主電極15dとゲート電極30間の平行平板コンデンサで近似される寄生容量 C_{GS} 、 C_{GD} を削減出来、高速動作可能な半導体装置（TFT）を提供することが出来る。

【0047】以下に本発明の第2の実施の形態に係る半導体装置の製造法を説明する。

【0048】（イ）先ず、図15に示すように、ガラスやプラスチック等からなる基板11上にゲート電極30を形成する。ゲート電極30の材料としては、金属などを用いることが出来る。スパッタリング法、真空蒸着法などで薄膜を形成後、フォトリソグラフィ工程によりパターンニングすることでゲート電極30を得ることが出来る。ゲート電極30の厚さとしては、0.1～0.5 μm 程度とすれば良く、パターンの大きさは3～20 μm ×10～100 μm 程度の大きさにすれば良い。本発明の第2の実施の形態ではスパッタリング法により膜厚0.3 μm のMoW合金を形成し、フォトリソグラフィ工程により5 μm ×60 μm の大きさに形成する。

【0049】（ロ）続いて、図16に示すように、ゲート電極30を形成した基板11の上に有機絶縁膜17を堆積する。有機絶縁膜17の堆積方法としては、スピコート法、ディップ法などで良く、有機絶縁膜17とし

ては、PVPやアクリル樹脂などが使用可能である。有機絶縁膜17の膜厚としては0.01～1 μm 程度であれば良く、本発明の第2の実施の形態では膜厚0.5 μm のPVPを用いる。続いて、図16に示すように、有機絶縁膜17の上にチャネル層としての有機半導体薄膜16を堆積する。有機半導体薄膜16の堆積方法としては、スピコート法、ディップ法などで良く、有機半導体薄膜16として、F8T2などが使用可能である。有機半導体薄膜16の膜厚としては0.01～1 μm 程度であれば良く、本発明の第2の実施の形態では膜厚0.02 μm のF8T2を用いる。

【0050】（ハ）更に、図17に示すように、有機半導体薄膜16の上に疎水性の感光性薄膜18を堆積する。感光性薄膜18の堆積方法としては、スピコート法、ディップ法などで良く、材料としては感光性ポリイミドなどが使用可能である。感光性薄膜18の膜厚としては0.1～1 μm 程度であれば良く、本発明の第2の実施の形態では0.3 μm の感光性のポジ型ポリイミドを用いる。続いて、図17に示すように、基板11の裏面より感光性薄膜18を感光させるための光h ν を照射する。光h ν の波長域の光はゲート電極30の配置された部分を透過しないため、ゲート電極30の配置されない部分の上の感光性薄膜18は感光され、除去される。一方、ゲート電極30の配置された部分の上の感光性薄膜18は残り、図18に示すように、分離体31となる。

【0051】（ニ）次に、分離体31を跨ぐように導電性材料を印刷すると、分離体31が疎水性であるため、分離体31の配置された部分の導電性材料ははじかれてしまう。このため、図14に示すように、分離体31のない部分に分かれるように電極が形成され、ソース電極15s及びドレイン電極15dが形成される。ソース電極15s及びドレイン電極15d用の導電性材料としては導電体高分子であるPEDOT、PITNなどを用いれば良く、水又は水と親和性のある液体に分散して印刷することが可能である。印刷法としては、IJP法、スクリーン印刷法などを用いれば良い。

【0052】第2の実施の形態に係るTFTの製造方法によれば、ゲート電極30とソース電極15s及びゲート電極30とドレイン電極15dとが基板11の平面上で重ならないようなTFTを形成することが出来る。しかも、CVD法等の高価な製造装置を使わずに、印刷法で製造出来るので極めて、製品コストを安価にすることが可能である。

【0053】特に、第2の実施の形態においては、ゲート電極30の材料としてMoW合金（金属）を用いているので、基板11の裏面より光h ν を照射して、ゲート電極30のパターンを平行投影する場合の遮光性が増大する。即ち、ゲート電極30のパターンが極めて高精度に平行投影された分離体31のパターンが得られる。こ

の結果、ソース電極15s及びドレイン電極15dのパターン形成の精度が向上し、ゲート電極30とソース電極15s及びゲート電極30とドレイン電極15dとの重なりを、理想に近く十分小さく出来る。即ち、より微細且つ高精度なTFTの製造が出来る。

【0054】(第3の実施形態) 図19に示すように本発明の第3の実施の形態に係る半導体装置は、光学的に透明な基板11; この基板11上に配置されたゲート電極36; このゲート電極36の上部に配置されたゲート絶縁膜17; このゲート絶縁膜17の上部に配置された有機半導体薄膜16; この有機半導体薄膜16上に配置され、基板11の垂直方向にゲート電極36のパターンを平行投影した位置に配置された疎水性材料からなる分離体37; 有機半導体薄膜16上において、分離体37の両側に配置された第1主電極(ソース電極)15s及び第2主電極(ドレイン電極)15dとを具備するTFTである。図19に示すように、基板11上に配置された疎水性材料からなる分離体37を有し、第1主電極(ソース電極)15s及び第2主電極(ドレイン電極)15dは、分離体37の両側に配置されている。又、互いに離間して配置された第1の疎水性構造体35a及び第2の疎水性構造体35bを更に有し、ゲート電極36は、第1の疎水性構造体35a及び第2の疎水性構造体35bに挟まれて配置されている。

【0055】本発明の第3の実施形態に係る半導体装置によれば、第1主電極15sとゲート電極36間、或いは第2主電極15dとゲート電極36間が平面パターン上オーバーラップすることがない。このため、第1主電極15sとゲート電極36、或いは第2主電極15dとゲート電極36間の平行平板コンデンサで近似される寄生容量 C_{gs} 、 C_{gd} を削減出来、高速動作可能な半導体装置(TFT)を提供することが出来る。

【0056】以下に本発明の第3の実施の形態に係る半導体装置の製造法を説明する。

【0057】(イ) 先ず、図20に示すように、ガラスやプラスチック等からなる基板11上に疎水性構造体35a、35bを形成する。疎水性構造体35a、35bは、厚さが0.5~10 μ m程度のポリイミドなどの疎水性材料を用いれば良い。疎水性構造体35a、35bは、3~20 μ m \times 10~100 μ m程度の大きさに3~20 μ mの間隔で2つ配置するようにすれば良い。本発明の第3の実施の形態では厚さ1 μ m、大きさを20 μ m \times 60 μ mのパターンが5 μ mの間隔で配置するようにした。疎水性構造体35a、35bの形成方法としては、感光性ポリイミドをスピンコート法で塗布し、更に所望の位置にのみ光を照射してパターンニングしても良い。又、非感光性ポリイミドをスピンコート法で塗布し、更にフォトリソグラフィ工程によりフォトレジストを用いてパターンニングしても良い。

【0058】(ロ) 疎水性構造体35a、35bの形

成された部分及びその周辺に導電性材料を印刷すると、疎水性構造体35a、35bの配置された部分の導電性材料ははじかれ、図21に示すように、疎水性構造体35a、35bのない部分に分かれるようにゲート電極36が形成される。導電性材料としては導電体高分子であるPEDOT、PITNなどを用いれば良く、水又は水と親和性のある液体に分散して印刷することが可能である。印刷法としては、IJP法、スクリーン印刷法などを用いれば良い。

【0059】(ハ) 続いて、図22に示すように、ゲート電極36を形成した基板11の上に有機絶縁膜17を堆積する。有機絶縁膜17の堆積方法としては、スピンコート法、ディップ法などで良く、有機絶縁膜17としては、PVPやアクリル樹脂などが使用可能である。有機絶縁膜17の膜厚としては0.01~1 μ m程度であれば良く、本発明の第3の実施の形態では膜厚0.5 μ mのPVPを用いる。

【0060】(ニ) 続いて、図23に示すように、有機絶縁膜17の上にチャネル層となる有機半導体薄膜16を堆積する。有機半導体薄膜16の堆積方法としては、スピンコート法、ディップ法などで良い。有機半導体薄膜16としてはF8T2などが使用可能である。有機半導体薄膜16の膜厚としては0.01~1 μ m程度であれば良く、本発明の第3の実施の形態では膜厚0.02 μ mのF8T2を用いる。

【0061】(ホ) 更に、図24に示すように、チャネル層16の上に疎水性の感光性薄膜18を堆積する。感光性薄膜18の堆積方法としては、スピンコート法、ディップ法などで良く、材料としては感光性ポリイミドなどが使用可能である。感光性薄膜18の膜厚としては0.1~1 μ m程度であれば良く、本発明の第3の実施の形態では0.3 μ mの感光性のポリイミドを用いる。続いて、図24に示すように、基板11の裏面より感光性薄膜18を感光させるための光h ν を照射する。光h ν の波長域で疎水性構造体35a、35bをなす材料とゲート電極36をなす材料の光の透過率が異なるため、ゲート電極36の上の部分にのみ残るように疎水性の分離体37が形成される。

【0062】(ヘ) 次に、分離体37を跨ぐように導電性材料を印刷すると、分離体37が疎水性であるため、分離体37の配置された部分の導電性材料ははじかれる。このため、図19に示すように、分離体37のない部分に分かれるように、ソース電極15s及びドレイン電極15dが形成される。ソース電極15s及びドレイン電極15dを形成するための導電性材料としては導電体高分子であるPEDOT、PITNなどを用いれば良く、水又は水と親和性のある液体に分散して印刷することが可能である。印刷法としては、IJP法、スクリーン印刷法などを用いれば良い。

【0063】第3の実施の形態に係るTFTの製造方法

によれば、ゲート電極36とソース電極15s及びドレイン電極15dとが基板11の平面上で重ならないようなTFTを形成することが出来る。しかも、CVD法等の高価な製造装置を使わずに、印刷法で製造出来るので極めて、製品コストを安価にすることが可能である。

【0064】(第4の実施の形態) 図26に示すように本発明の第4の実施の形態に係る半導体装置は、光学的に透明な基板11；この基板11上に互いに離間して配置された第1主電極(ソース電極)41s及び第2主電極(ドレイン電極)41d；第1主電極(ソース電極)41s、第2主電極(ドレイン電極)41d、及びその間の上部に配置された有機半導体薄膜16；この有機半導体薄膜16上に配置されたゲート絶縁膜17；このゲート絶縁膜17上に配置され、基板11の垂直方向に第1主電極(ソース電極)41s及び第2主電極(ドレイン電極)41dのパターンを平行投影した位置に重ならないように配置されたゲート電極43とを具備するTFTである。図26に示すように、互いに離間して配置された第1の疎水性構造体42a及び第2の疎水性構造体42bを更に有し、ゲート電極43は、第1の疎水性構造体42a及び第2の疎水性構造体42bに挟まれて配置されている。

【0065】本発明の第4の実施形態に係る半導体装置によれば、第1主電極41sとゲート電極43間、或いは第2主電極41dとゲート電極43間が平面パターン上オーバーラップすることがない。このため、第1主電極41sとゲート電極間43、或いは第2主電極41dとゲート電極43間の平行平板コンデンサで近似される寄生容量 C_{GS} 、 C_{GD} を削減出来、高速動作可能な半導体装置(TFT)を提供することが出来る。

【0066】以下に本発明の第4の実施の形態に係る半導体装置の製造法を説明する。

【0067】(イ) 図27に示すように、ガラスやプラスチック等からなる基板11上にソース電極41s及びドレイン電極41dを形成する。ソース電極41s及びドレイン電極41dの材料としては、金属などを用いることが出来る。スパッタリング法、真空蒸着法などで薄膜を形成後、フォトリソグラフィ工程によりパターンニングすることでソース電極41s及びドレイン電極41dを得ることが出来る。ソース電極41s及びドレイン電極41dの厚さとしては、0.1~0.5 μm 程度とすれば良く、パターンの大きさは3~20 μm ×10~100 μm 程度の大きさにすれば良い。本発明の第4の実施の形態ではスパッタリング法により膜厚0.3 μm のMoW合金を形成し、フォトリソグラフィ工程により5 μm ×60 μm の大きさに形成する。

【0068】(ロ) 続いて、図28に示すように、ソース電極41s及びドレイン電極41dを形成した基板11の上に、チャンネル層としての有機半導体薄膜16を堆積する。有機半導体薄膜16の堆積方法としては、スピ

ンコート法、ディップ法などで良い。有機半導体薄膜16としてはF8T2などがある。有機半導体薄膜16の膜厚としては0.01~1 μm 程度であれば良く、本発明の第4の実施の形態では、膜厚0.02 μm のF8T2を用いる。

【0069】(ハ) 続いて、図29に示すように、チャンネル層16の上に有機絶縁膜17を堆積する。堆積方法としては、スピコート法、ディップ法などで良く、有機絶縁膜17としては、PVPやアクリル樹脂が使用可能である。有機絶縁膜17の膜厚としては0.01~1 μm 程度であれば良く、本発明の第4の実施の形態では膜厚0.5 μm のPVPを用いる。

【0070】(ニ) 更に、有機絶縁膜17の上に図30に示すように、疎水性の感光性薄膜18を堆積する。堆積方法としては、スピコート法、ディップ法などで良く、材料としては感光性ポリイミドなどがある。感光性薄膜18の膜厚としては0.1~1 μm 程度であれば良く、本発明の第4の実施の形態では0.3 μm の感光性のポジ型ポリイミドを用いる。続いて、図30に示すように、基板11の裏面より感光性薄膜18を感光させるための光h ν を照射する。光h ν の波長域の光はソース電極41s及びドレイン電極41dの配置された部分を透過しないため、ソース電極41s及びドレイン電極41dの配置されない部分の上の感光性薄膜18は感光され、除去される。一方、ソース電極41s及びドレイン電極41dの配置された部分の上の感光性薄膜18は残り、図31に示すように、疎水性構造体42a、42bとなる。

【0071】(ホ) 次に、疎水性構造体42a、42bに挟まれる部分を含むように導電性材料を印刷すると、図26に示すように、疎水性構造体42a、42bの配置された部分の導電性材料がはじかれてしまい、疎水性構造体42a、42bのない部分にゲート電極43が形成される。ゲート電極43用の導電性材料としては、導電体高分子であるPEDOT、PITNなどを用いれば良く、水又は水と親和性のある液体に分散して印刷することが可能である。印刷法としては、IJP法、スクリーン印刷法などを用いれば良い。

【0072】第4の実施の形態に係るTFTの製造方法によれば、ゲート電極43とソース電極41s及びドレイン電極41dとが基板11の平面上で重ならないようなTFTを形成することが出来る。しかも、CVD法等の高価な製造装置を使わずに、印刷法で製造出来るので極めて、製品コストを安価にすることが可能である。

【0073】特に、第2の実施の形態においては、ソース電極41s及びドレイン電極41dの材料としてMoW合金のような金属を用いているので、基板11の裏面より光h ν を照射して、ソース電極41s及びドレイン電極41dのパターンを平行投影する場合の遮光性が増大している。即ち、ソース電極41s及びドレイン電極

41 dのパターンが極めて高精度に平行投影された疎水性構造体42 a、42 bのパターンが実現出来るので、ゲート電極43が、より高精度にパターンニング出来る。この結果、ゲート電極43とソース電極41 s及びゲート電極43とドレイン電極41 dとの重なりを、極めて高い精度で防止出来る。

(第5の実施形態) 本発明の第5の実施形態に係る半導体装置としてのアクティブマトリクス基板は、図32 (a)の断面図に示すように、ガラスやプラスチック等からなる基板11上に、信号線51及び画素電極52が配置され、信号線51及び画素電極52の上に層間絶縁膜53を堆積した構造を基礎としている。即ち、層間絶縁膜53の上に、第1の実施形態と基本的に同様な方法で製造されるTFTが形成されている。図32 (b)は1画素分の構造を、例示的に示す。実際には、複数本のゲート配線(ゲート電極)20が、複数本の信号線51と互いに直交するように多層配線構造が形成されている。そして、マトリクス状にTFTが配置され、アクティブマトリクス基板を構成している。

【0074】本発明の第5の実施形態に係るアクティブマトリクス基板においては、TFTの寄生容量 C_{GS} 、 C_{GD} が小さいので、画素電極の変動による表示の劣化が抑制出来る。

【0075】以下に第5の実施形態に係るアクティブマトリクス基板の製造工程を説明する。

【0076】(イ) 先ず、スパッタリング法により、ガラスやプラスチック等からなる基板11上に膜厚0.3 μm のMoW合金膜を成膜し、更に、MoW合金膜の上にフォトレジストを塗布する。そして、フォトリソグラフィ工程によりフォトレジストのエッチングマスクを形成する。そして、このエッチングマスクを用いてMoW合金膜の選択的なエッチングを行い、図33に示すように、信号線51を形成する。エッチングマスクに用いたフォトレジストを除去後、スパッタリング法により膜厚0.1 μm のITO膜を成膜し、ITO膜の上に新たなフォトレジストを塗布する。再びフォトリソグラフィ工程によりフォトレジストのエッチングマスクを形成する。そして、このエッチングマスクを用いてITO膜の選択的なエッチングを行い、図34に示すように、画素電極52を形成する。信号線51、画素電極52の材料としては金属、ITOなどの導電性材料を用いれば良く、信号線51と画素電極52は同じ材料でも異なる材料でも良い。信号線51と画素電極52が同じ材料の場合は、スパッタリング工程、フォトリソグラフィ工程、エッチング工程を同時に行っても良い。又、スパッタリング法の代わりに、真空蒸着法などで薄膜を形成後、フォトリソグラフィ工程によりパターンニングして、信号線51、画素電極52を得ても良い。

【0077】(ロ) エッチングマスクに用いたフォトレジストを除去後、信号線51及び画素電極52の上に層

間絶縁膜53を堆積する。層間絶縁膜53としては酸化膜(SiO_2 膜)、アクリルなどの絶縁性材料を用いれば良く、スピコート法、ディップ法などで形成することが出来る。更に、層間絶縁膜53の上に新たなフォトレジストを塗布し、フォトリソグラフィ工程によりフォトレジストのエッチングマスクを形成する。そして、このエッチングマスクを用いて選択的なエッチングを行い、信号線51及び画素電極52の上部の層間絶縁膜53 bの一部に、図35に示すように、開口部(コンタクトホール)61 a、61 bを形成する。

【0078】(ハ) エッチングマスクに用いたフォトレジストを除去後、第1の実施形態と同様な方法で、図36に示すように、分離体14を形成する。更に、第1の実施形態と同様に分離体14を用いて、図37に示すように、ソース電極15 s及びドレイン電極15 dを印刷法により形成する。ソース電極15 sはコンタクトホール61 bを介して信号線51と、ドレイン電極15 dはコンタクトホール61 aを介して、画素電極52と電氣的に接続される。

【0079】(ニ) 続いて、第1の実施形態と同様な方法で分離体14、ソース電極15 s及びドレイン電極15 dの上に、図38に示すように、チャネル層となる有機半導体薄膜16を堆積する。更に、有機半導体薄膜16の上に、図39に示すように、ゲート絶縁膜となる有機絶縁膜17を形成する。更に、第1の実施形態と同様な方法で、有機絶縁膜17の上に疎水性の感光性薄膜18を形成する。続いて、図40に示すように、基板11の裏面より感光性薄膜18を感光させるための光h ν を照射する。

【0080】(ホ) 分離体14は光h ν の波長域の光を透過するため、感光性薄膜18は露光されるが、信号線51、ソース電極15 s、ドレイン電極15 dをなす材料は光h ν の波長域の光を透過しないため、感光性薄膜18は露光されない。このため、図41に示すように、疎水性構造体19 a、19 bが自己整合的に、平行投影されて、パターンニングされる。続いて基板11の表面より信号線51のうちソース電極15 sと重ならない部分にのみマスクを用いて露光することにより、図42に示すように、ソース電極15 s及びドレイン電極15 dの上の部分にのみ残るように疎水性構造体19 a、19 bが形成される。

【0081】(ヘ) 更に、第1の実施形態と同様な方法でゲート配線(ゲート電極)20を形成する。この結果、図32に示すように、複数本のゲート配線(ゲート電極)20が、複数本の信号線51と直交するような多層配線構造を構成することにより、アクティブマトリクス基板が完成する。

【0082】本発明の第5の実施形態に係るアクティブマトリクス基板の製造方法では、CVD法等の高価な製造装置を使わずに、印刷法でチャネル層やゲート絶縁膜

を形成したTFTを用いるので、極めて、製品コストを安価にすることが可能である。

【0083】(第6の実施形態)本発明の第6の実施形態に係る半導体装置としてのアクティブマトリクス基板は、図43(a)の断面図に示すように、ガラスやプラスチック等からなる基板11上に、信号線41s及び画素電極52が配置した構造を基礎としている。信号線41sは、第4の実施形態で説明したTFTのソース電極に連続した配線層である。画素電極52には、第4の実施形態で説明したTFTのドレイン電極41dが接続されている。即ち、第6の実施形態に係るアクティブマトリクス基板は、第4の実施形態と基本的に同様な方法で製造されるTFTを用いている。図43(b)は1画素分の構造を、例示的に示す平面図である。実際には、複数本のゲート配線(ゲート電極)43が、複数本の信号線41sと互いに直交するように多層配線構造が形成される。そして、マトリクス状にTFTが配置され、アクティブマトリクス基板を構成している。

【0084】本発明の第6の実施形態に係るアクティブマトリクス基板においては、TFTの寄生容量 C_{gs} 、 C_{gd} が小さいので、画素電極の変動による表示の劣化が抑制出来る。

【0085】以下に第6の実施形態に係るアクティブマトリクス基板の製造工程を説明する。

【0086】(イ) 先ず、スパッタリング法により、ガラスやプラスチック等からなる基板11上に、膜厚0.3 μ mのMoW合金膜を成膜し、この上にフォトレジストを塗布する。そして、フォトリソグラフィ工程によりフォトレジストをパターンニングして、フォトレジストからなるエッチングマスクを形成する。このエッチングマスクを用いて、MoW合金膜を選択的にエッチングし、図44に示すように、信号線(ソース電極)41s、ドレイン電極41dを形成する。エッチングマスクに用いたフォトレジストを除去後、スパッタリング法により膜厚0.1 μ mのITO膜を成膜する。このITO膜の上に新たなフォトレジストを塗布する。そして、フォトリソグラフィ工程によりフォトレジストをパターンニングして、新たなフォトレジストからなるエッチングマスクを形成する。このエッチングマスクを用いて、ITO膜を選択的にエッチングし、図45に示すように、ドレイン電極41dと電気的に接続するように画素電極52を形成する。信号線(ソース電極)41sとドレイン電極41dは同じ材料を用いれば良く、画素電極52の材料は信号線(ソース電極)41sと同じ材料でも異なる材料でも良い。スパッタリング法の他に、真空蒸着法などでMoW合金膜やITO膜等の薄膜を形成しても良い。

(ロ) エッチングマスクに用いたフォトレジストを除去後、第2の実施形態と同様な方法で、ソース電極41s及びドレイン電極41d、画素電極52の上に、図4

6に示すように、チャネル層となる有機半導体薄膜16を形成する。更に、図47に示すように、有機半導体薄膜16の上にゲート絶縁膜となる有機絶縁膜17を形成する。更に、第2の実施形態と同様な方法で、有機絶縁膜17の上に疎水性の感光性薄膜18を形成する。続いて、図48に示すように、基板11の裏面より感光性薄膜18を感光させるための光h ν を照射する。

【0087】(ハ) 信号線(ソース電極)41sとドレイン電極41dの間の部分は、光h ν が透過するので、感光性薄膜18が露光される。この結果、図49に示すように、自己整合的に、信号線(ソース電極)41sとドレイン電極41dのパターンが平行投影され、感光性薄膜18からなる疎水性構造体42a、42bのパターンが形成される。続いて基板11の表面より信号線(ソース電極)41sのうちソース電極41sと接続された部分をのぞいた領域にのみマスクを用いて露光することにより、ソース電極41s及びドレイン電極41dの上の部分にのみ感光性薄膜18が残るようにし、図50に示すような疎水性構造体42a、42bのパターンが形成される。

【0088】(ニ) 更に、第2の実施形態と同様な方法で、疎水性構造体42a、42bのパターンを用いて、ゲート配線(ゲート電極)43を形成する。ゲート配線(ゲート電極)43は、複数本の信号線(ソース電極)41sと直交するように、多層配線構造で形成される。そして、TFTがマトリクス状に配置されることにより、図43に示すアクティブマトリクス基板が完成する。

【0089】本発明の第6の実施形態に係るアクティブマトリクス基板の製造方法では、CVD法等の高価な製造装置を使わずに、印刷法でチャネル層やゲート絶縁膜を形成したTFTを用いるので、極めて、製品コストを安価にすることが可能である。

【0090】(第7の実施形態)本発明の第7の実施形態に係る半導体装置としてのアクティブマトリクス基板は、図51に示すように、ガラスやプラスチック等からなる基板11上に、ゲート配線30及び画素電極52が配置した構造を基礎としている。信号線15sは、第2の実施形態で説明したTFTのチャネル層となる有機半導体薄膜16の上を走行している。画素電極52には、第2の実施形態で説明したTFTのドレイン電極15dが、有機半導体薄膜16及び有機絶縁膜17を貫通するコンタクトホールを介して接続されている。即ち、第7の実施形態に係るアクティブマトリクス基板は、第2の実施形態と基本的に同様な方法で製造されるTFTを用いている。図51(b)は1画素分の構造を、例示的に示す平面図である。実際には、複数本のゲート配線(ゲート電極)30が、複数本の信号線15sと互いに直交するように多層配線構造が形成され、マトリクス状にTFTが配置され、アクティブマトリクス基板を構成して

いる。

【0091】本発明の第7の実施形態に係るアクティブマトリクス基板においては、TFTの寄生容量 C_{GS} 、 C_{GD} が小さいので、画素電極の変動による表示の劣化が抑制出来る。

【0092】以下に第7の実施形態に係るアクティブマトリクス基板の製造工程を説明する。

【0093】(イ) 先ず、ガラスやプラスチック等からなる基板11上に、スパッタリング法により膜厚0.3 μm のMoW合金膜を成膜する。更に、このMoW合金膜の上にフォトレジストを塗布する。そして、フォトリソグラフィ工程によりフォトレジストをパターンニングして、フォトレジストからなるエッチングマスクを形成する。このエッチングマスクを用いて、MoW合金膜を選択的にエッチングし、図52に示すように、ゲート配線(ゲート電極)30を形成する。エッチングマスクに用いたフォトレジストを除去後、スパッタリング法により膜厚0.1 μm のITO膜を成膜する。このITO膜の上に新たなフォトレジストを塗布する。そして、フォトリソグラフィ工程によりフォトレジストをパターンニングして、新たなフォトレジストからなるエッチングマスクを形成する。このエッチングマスクを用いて、ITO膜を選択的にエッチングし、図53に示すように、画素電極52を形成する。ゲート配線(ゲート電極)30、画素電極52の材料としては金属、ITOなどの導電性材料を用いれば良い。画素電極52の材料はゲート線712と同じ材料でも異なる材料でも良い。スパッタリング法の他に、真空蒸着法などでMoW合金膜やITO膜等の薄膜を形成しても良い。

【0094】(ロ) エッチングマスクに用いたフォトレジストを除去後、第2の実施の形態と同様な方法で、図54に示すように、ゲート配線(ゲート電極)30、画素電極52の上にゲート絶縁膜となる有機絶縁膜17を形成する。更に、第2の実施の形態と同様に、図55に示すように、チャネル層となる有機半導体薄膜16を形成する。更に、第2の実施の形態と同様に、有機半導体薄膜16の上に疎水性の感光性薄膜18を形成する。続いて、図56に示すように、基板11の裏面より感光性薄膜18を感光させるための光hνを照射する。

【0095】(ハ) ゲート配線(ゲート電極)30のない部分は光hνが透過するため、感光性薄膜18が露光され、ゲート配線(ゲート電極)30を平行投影した形状に、分離体31が形成される。続いて基板11の表面よりゲート配線(ゲート電極)30のうち、デバイス領域以外の部分を選択的に(マスクを用いて)露光することにより、図57に示すような平面形状で、分離体31が形成される。

【0096】(ニ) 更に、分離体31及び分離体31から露出した有機半導体薄膜16の上にフォトレジストを塗布する。そして、フォトリソグラフィ工程によりフ

ォトレジストをパターンニングして、フォトレジストからなるエッチングマスクを形成する。このエッチングマスクを用いて、有機半導体薄膜16及び有機絶縁膜17を選択的にエッチングし、図58に示すように、画素電極52の上部にコンタクトホール73を開口する。

【0097】(ホ) 更に、第2の実施の形態と同様な方法で、ソース電極(信号線)15s及びドレイン電極15dを形成する。ドレイン電極15dは、コンタクトホール73を介して、画素電極52と電気的に接続される。そして、ゲート配線(ゲート電極)30とソース電極(信号線)15sとが、互いに直交するように多層配線構造が形成される。その結果、図51に示すようにTFTがマトリクス状に配置されたアクティブマトリクス基板が完成する。

【0098】本発明の第7の実施形態に係るアクティブマトリクス基板の製造方法では、CVD法等の高価な製造装置を使わずに、印刷法でチャネル層やゲート絶縁膜を形成したTFTを用いるので、極めて、製品コストを安価にすることが可能である。

【0099】(その他の実施の形態) 上記のように、本発明は第1～第7の実施の形態によって記載したが、この開示の一部をなす論述及び図面はこの発明を限定するものであると理解すべきではない。この開示から当業者には様々な代替実施の形態、実施例及び運用技術が明らかとなろう。

【0100】例えば、第5～第7の実施の形態の説明においては、ITO膜の上にフォトレジストを塗布し、フォトリソグラフィ工程によりフォトレジストからなるエッチングマスクを形成し、このエッチングマスクを用いて、ITO膜を選択的にエッチングする方法を説明した。しかし、ITO膜のパターンニングは、前もって開口部を有するフォトレジストを塗布しておいて、その上にITO膜を堆積し、フォトレジストを除去することにより、ITO膜をパターンニングするいわゆるリフトオフ法でも良いことは勿論である。

【0101】又、第1～第7の実施の形態において、TFTについて説明したが、本発明はTFT以外の半導体装置にも適用可能である。

【0102】この様に、本発明はここでは記載していない様々な実施の形態等を含むことは勿論である。したがって、本発明の技術的範囲は上記の説明から妥当な特許請求の範囲に係る発明特定事項によってのみ定められるものである。

【0103】

【発明の効果】以上詳述したように、本発明によれば、第1主電極とゲート電極間、或いは第2主電極とゲート電極間の寄生容量を削減出来、高速動作可能な半導体装置を提供することが出来る。

【0104】本発明によれば、第1主電極とゲート電極間、或いは第2主電極とゲート電極間が平面パターン上

オーバーラップすることがない構造が、自己整合的に実現出来る。このため、高速動作可能な半導体装置を高い製造歩留まりで製造することが出来る。更に、ゲート長の短縮が容易となるので、変換コンダクタンス g_m が増大し、駆動能力が増大する。

【図面の簡単な説明】

【図1】図1(a)は、本発明の第1の実施の形態に係るTFTの構造を示す断面図で、図1(b)は対応する平面図である。

【図2】本発明の第1の実施の形態に係るTFTの製造方法を示す断面図である。

【図3】本発明の第1の実施の形態に係るTFTの製造方法を示す断面図である。

【図4】本発明の第1の実施の形態に係るTFTの製造方法を示す断面図である。

【図5】図5(a)は、本発明の第1の実施の形態に係るTFTの製造方法を示す断面図で、図5(b)は対応する平面図である。

【図6】本発明の第1の実施の形態に係るTFTの製造方法を示す断面図である。

【図7】本発明の第1の実施の形態に係るTFTの製造方法を示す断面図である。

【図8】本発明の第1の実施の形態に係るTFTの製造方法を示す断面図である。

【図9】図9(a)は、本発明の第1の実施の形態に係るTFTの製造方法を示す断面図で、図9(b)は対応する平面図である。

【図10】図10(a)は、本発明の第1の実施の形態に係るTFTの製造方法を示す断面図で、図10(b)は対応する平面図である。

【図11】図11(a)は、本発明の第1の実施の形態に係るTFTの製造方法を示す断面図で、図11(b)は対応する平面図である。

【図12】図12(a)は、本発明の第1の実施の形態の変形例に係るTFTの構造を示す断面図で、図12(b)は対応する平面図である。

【図13】図13(a)は、本発明の第1の実施の形態の変形例に係るTFTの構造を示す断面図で、図13(b)は対応する平面図である。

【図14】図14(a)は、本発明の第2の実施の形態に係るTFTの構造を示す断面図で、図14(b)は対応する平面図である。

【図15】本発明の第2の実施の形態に係るTFTの製造方法を示す断面図である。

【図16】本発明の第2の実施の形態に係るTFTの製造方法を示す断面図である。

【図17】本発明の第2の実施の形態に係るTFTの製造方法を示す断面図である。

【図18】図18(a)は、本発明の第2の実施の形態に係るTFTの製造方法を示す断面図で、図18(b)

は対応する平面図である。

【図19】図19(a)は、本発明の第3の実施の形態に係るTFTの構造を示す断面図で、図19(b)は対応する平面図である。

【図20】図20(a)は、本発明の第3の実施の形態に係るTFTの製造方法を示す断面図で、図20(b)は対応する平面図である。

【図21】図21(a)は、本発明の第3の実施の形態に係るTFTの製造方法を示す断面図で、図21(b)は対応する平面図である。

【図22】本発明の第3の実施の形態に係るTFTの製造方法を示す断面図である。

【図23】本発明の第3の実施の形態に係るTFTの製造方法を示す断面図である。

【図24】本発明の第3の実施の形態に係るTFTの製造方法を示す断面図である。

【図25】図25(a)は、本発明の第3の実施の形態に係るTFTの製造方法を示す断面図で、図25(b)は対応する平面図である。

【図26】図26(a)は、本発明の第4の実施の形態に係るTFTの構造を示す断面図で、図26(b)は対応する平面図である。

【図27】図27(a)は、本発明の第4の実施の形態に係るTFTの製造方法を示す断面図で、図27(b)は対応する平面図である。

【図28】本発明の第4の実施の形態に係るTFTの製造方法を示す断面図である。

【図29】本発明の第4の実施の形態に係るTFTの製造方法を示す断面図である。

【図30】本発明の第4の実施の形態に係るTFTの製造方法を示す断面図である。

【図31】図31(a)は、本発明の第4の実施の形態に係るTFTの製造方法を示す断面図で、図31(b)は対応する平面図である。

【図32】図32(a)は、本発明の第5の実施の形態に係るアクティブマトリクス基板の構造を示す断面図で、図32(b)は対応する平面図である。

【図33】図33(a)は、本発明の第5の実施の形態に係るアクティブマトリクス基板の製造方法を示す断面図で、図33(b)は対応する平面図である。

【図34】図34(a)は、本発明の第5の実施の形態に係るアクティブマトリクス基板の製造方法を示す断面図で、図34(b)は対応する平面図である。

【図35】図35(a)は、本発明の第5の実施の形態に係るアクティブマトリクス基板の製造方法を示す断面図で、図35(b)は対応する平面図である。

【図36】図36(a)は、本発明の第5の実施の形態に係るアクティブマトリクス基板の製造方法を示す断面図で、図36(b)は対応する平面図である。

【図37】図37(a)は、本発明の第5の実施の形態

に係るアクティブマトリクス基板の製造方法を示す断面図で、図37(b)は対応する平面図である。

【図38】本発明の第5の実施の形態に係るアクティブマトリクス基板の製造方法を示す断面図である。

【図39】本発明の第5の実施の形態に係るアクティブマトリクス基板の製造方法を示す断面図である。

【図40】本発明の第5の実施の形態に係るアクティブマトリクス基板の製造方法を示す断面図である。

【図41】図41(a)は、本発明の第5の実施の形態に係るアクティブマトリクス基板の製造方法を示す断面図で、図41(b)は対応する平面図である。

【図42】図42(a)は、本発明の第5の実施の形態に係るアクティブマトリクス基板の製造方法を示す断面図で、図42(b)は対応する平面図である。

【図43】図43(a)は、本発明の第6の実施の形態に係るアクティブマトリクス基板の構造を示す断面図で、図43(b)は対応する平面図である。

【図44】図44(a)は、本発明の第6の実施の形態に係るアクティブマトリクス基板の製造方法を示す断面図で、図44(b)は対応する平面図である。

【図45】図45(a)は、本発明の第6の実施の形態に係るアクティブマトリクス基板の製造方法を示す断面図で、図45(b)は対応する平面図である。

【図46】本発明の第6の実施の形態に係るアクティブマトリクス基板の製造方法を示す断面図である。

【図47】本発明の第6の実施の形態に係るアクティブマトリクス基板の製造方法を示す断面図である。

【図48】本発明の第6の実施の形態に係るアクティブマトリクス基板の製造方法を示す断面図である。

【図49】図49(a)は、本発明の第6の実施の形態に係るアクティブマトリクス基板の製造方法を示す断面図で、図49(b)は対応する平面図である。

【図50】図50(a)は、本発明の第6の実施の形態に係るアクティブマトリクス基板の製造方法を示す断面図で、図50(b)は対応する平面図である。

【図51】図51(a)は、本発明の第7の実施の形態に係るアクティブマトリクス基板の構造を示す断面図で、図51(b)は対応する平面図である。

【図52】図52(a)は、本発明の第7の実施の形態に係るアクティブマトリクス基板の製造方法を示す断面図で、図52(b)は対応する平面図である。

【図53】図53(a)は、本発明の第7の実施の形態に係るアクティブマトリクス基板の製造方法を示す断面図で、図53(b)は対応する平面図である。

【図54】本発明の第7の実施の形態に係るアクティブマトリクス基板の製造方法を示す断面図である。

【図55】本発明の第7の実施の形態に係るアクティブマトリクス基板の製造方法を示す断面図である。

【図56】本発明の第7の実施の形態に係るアクティブマトリクス基板の製造方法を示す断面図である。

【図57】図57(a)は、本発明の第7の実施の形態に係るアクティブマトリクス基板の製造方法を示す断面図で、図57(b)は対応する平面図である。

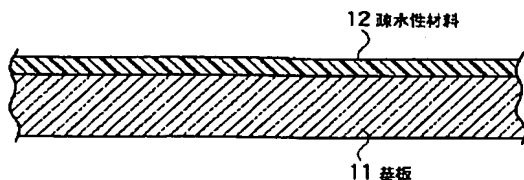
【図58】図58(a)は、本発明の第7の実施の形態に係るアクティブマトリクス基板の製造方法を示す断面図で、図58(b)は対応する平面図である。

【図59】従来のTFTの構造を示す断面図である。

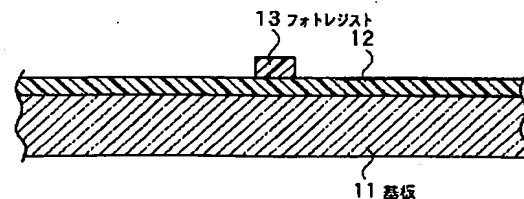
【符号の説明】

- 11 基板
- 12 疎水性材料
- 13, 74 フォトレジスト
- 14, 31, 37 分離体
- 15s, 41s ソース電極(信号線)
- 15d, 41d ドレイン電極
- 16 チャンネル層(有機半導体薄膜)
- 17 ゲート絶縁膜(有機絶縁膜)
- 18 感光性薄膜
- 19a, 19b, 35a, 35b, 42a, 42b 疎水性構造体
- 20, 30, 36, 43, 81 ゲート電極(ゲート配線)
- 21s, 21d, 61a, 61b, 73 コンタクトホール
- 51 信号線
- 52 画素電極

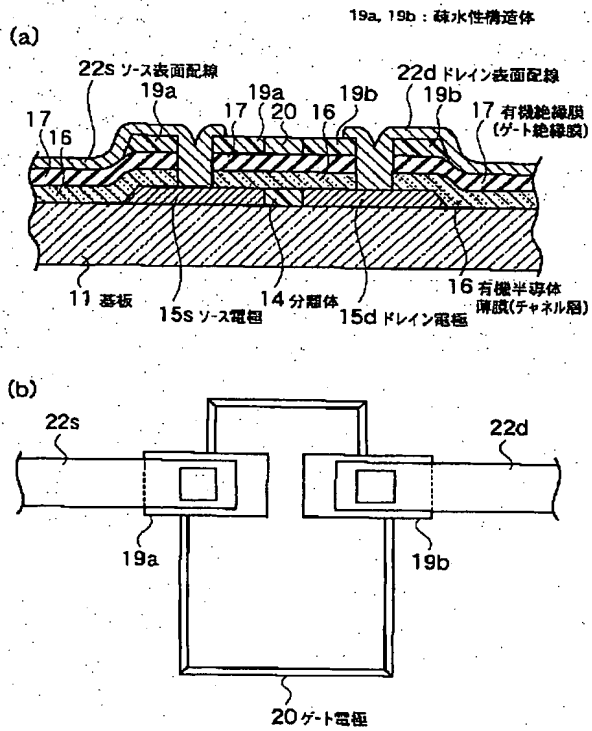
【図2】



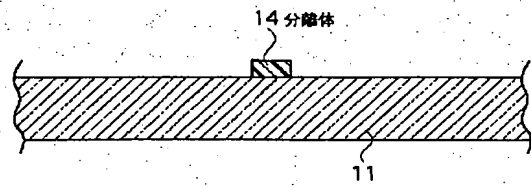
【図3】



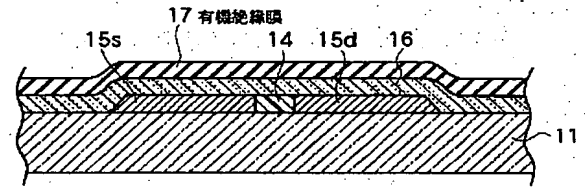
【図1】



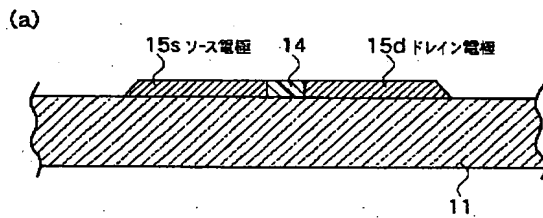
【図4】



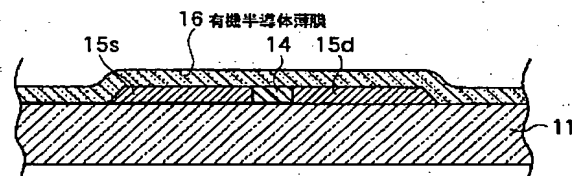
【図7】



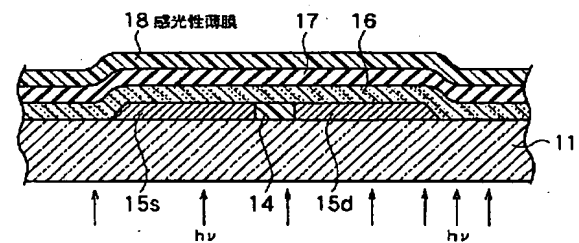
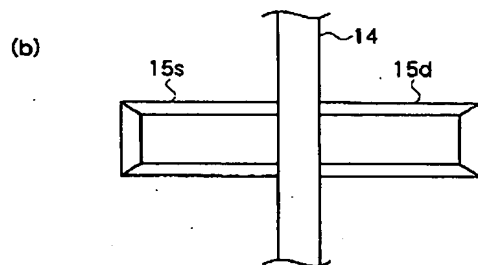
【図5】



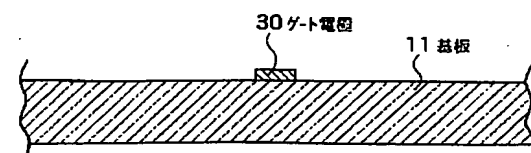
【図6】



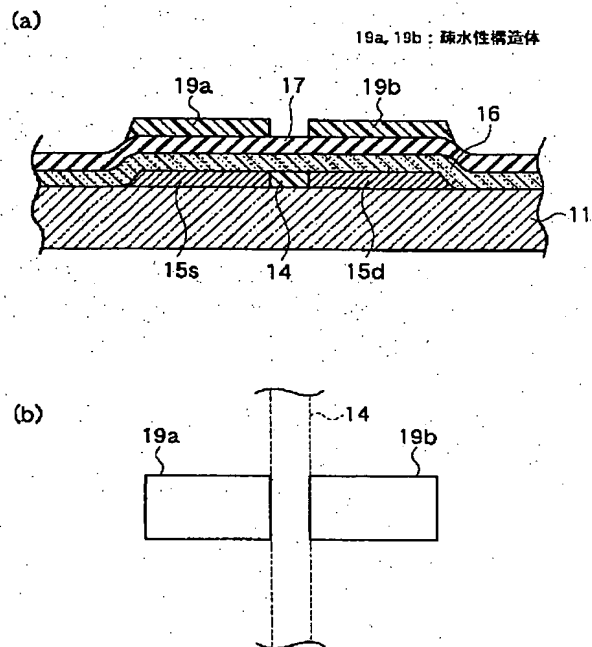
【図8】



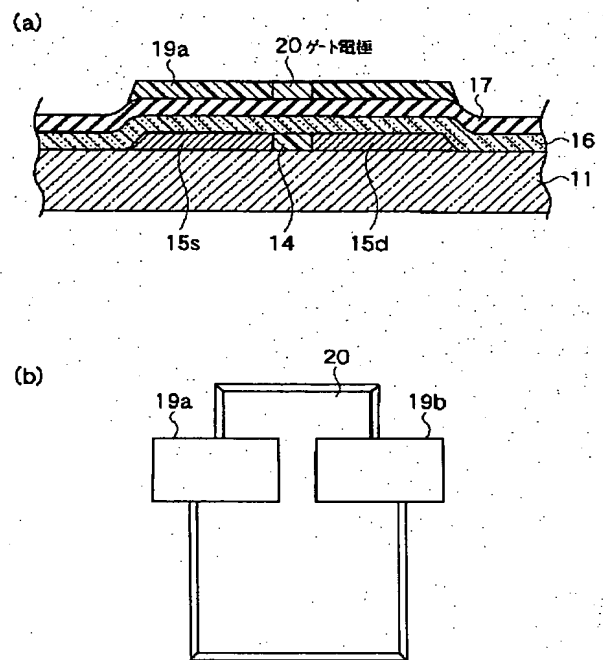
【図15】



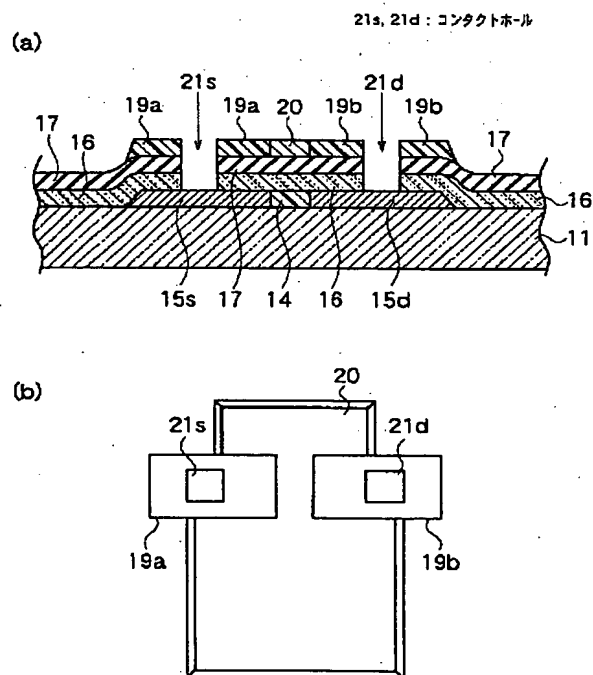
【図9】



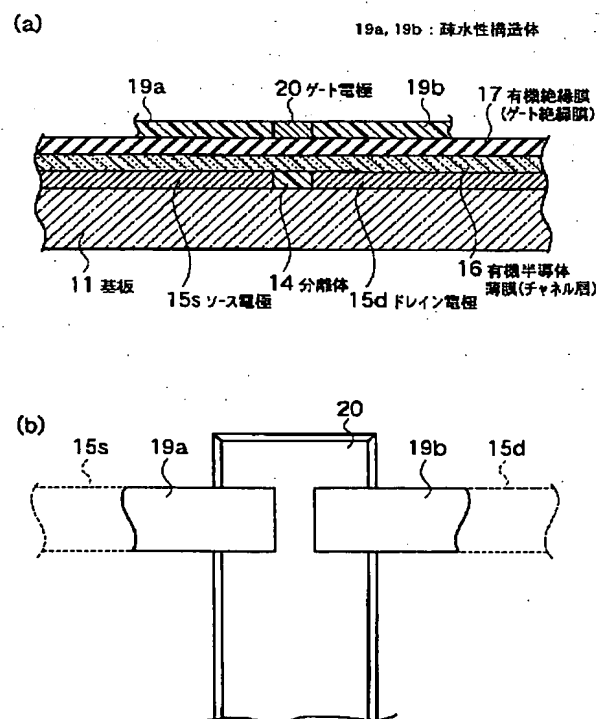
【図10】



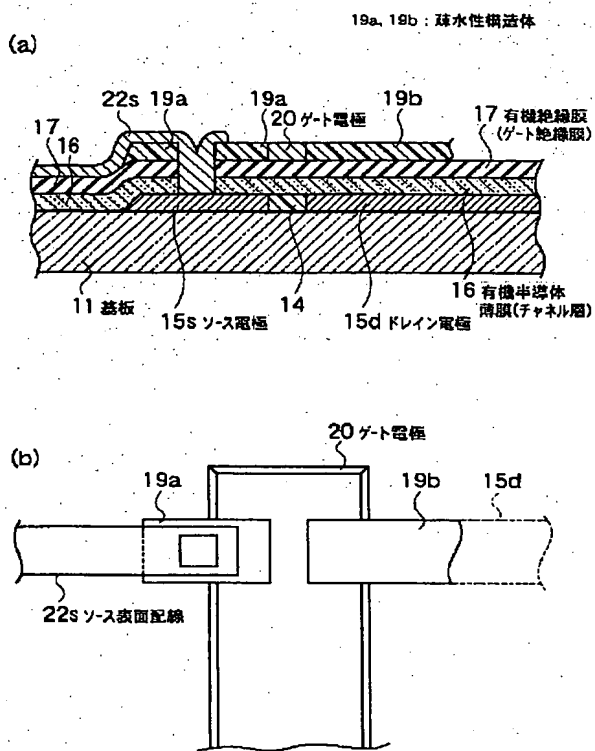
【図11】



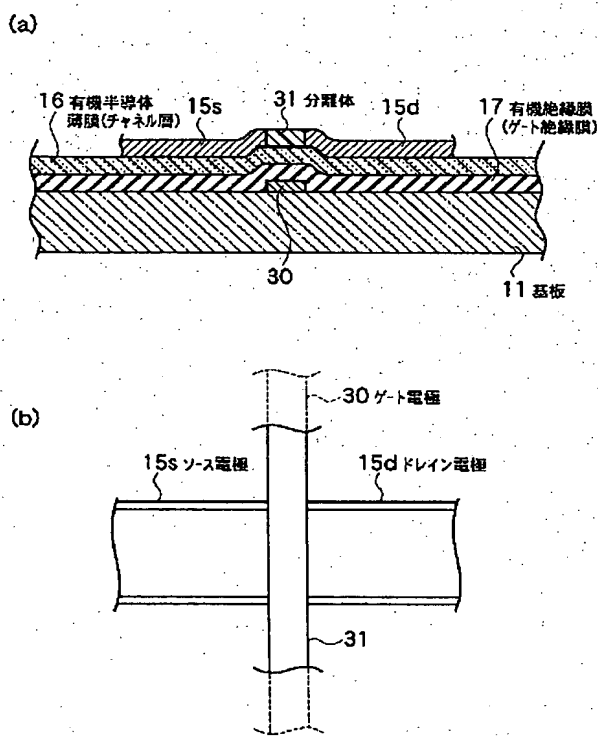
【図12】



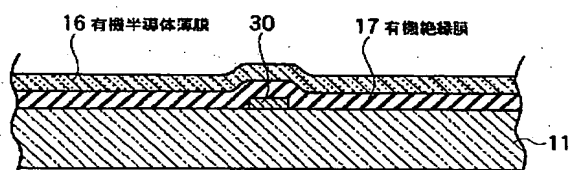
【図13】



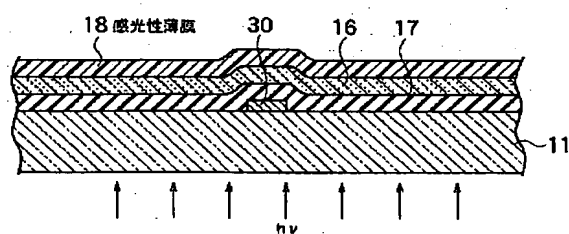
【図14】



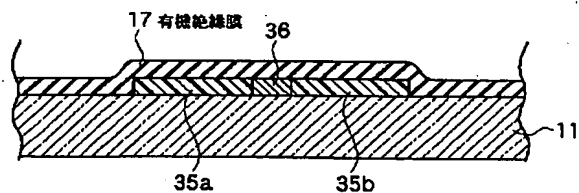
【図16】



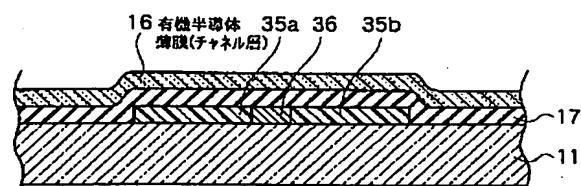
【図17】



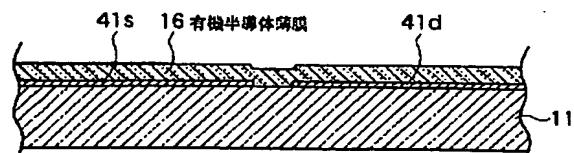
【図22】



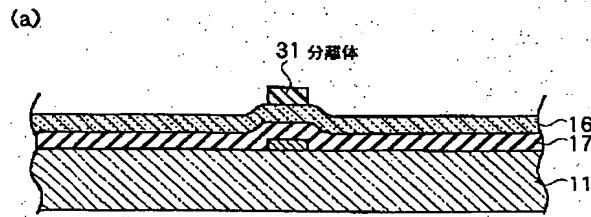
【図23】



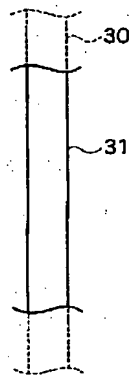
【図28】



【図18】



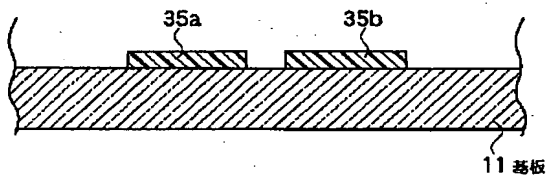
(b)



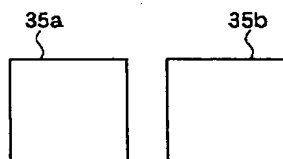
【図20】

(a)

35a, 35b : 疎水性構造体

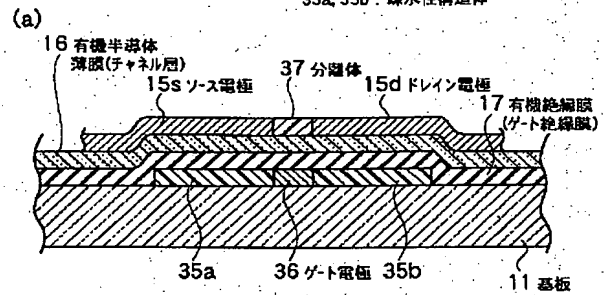


(b)

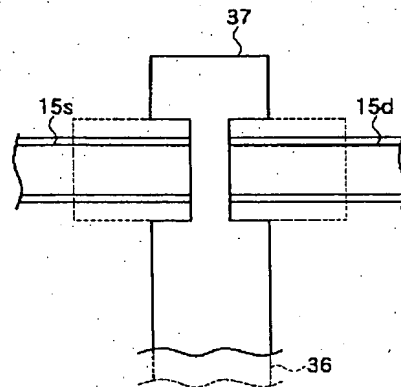


【図19】

35a, 35b : 疎水性構造体

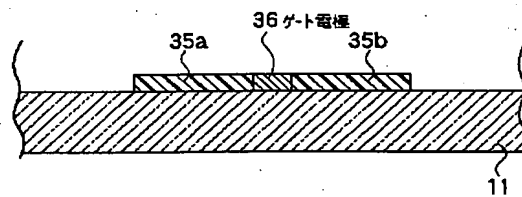


(b)

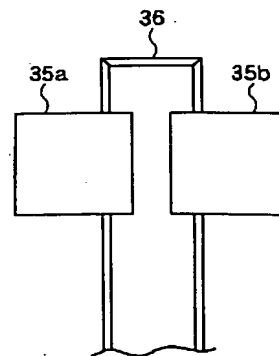


【図21】

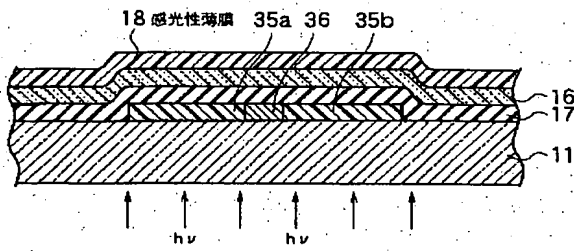
(a)



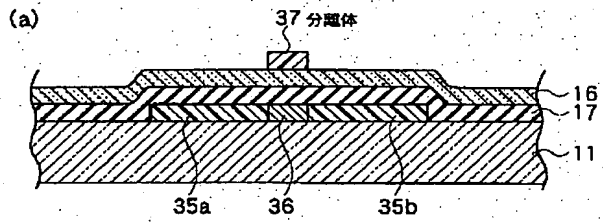
(b)



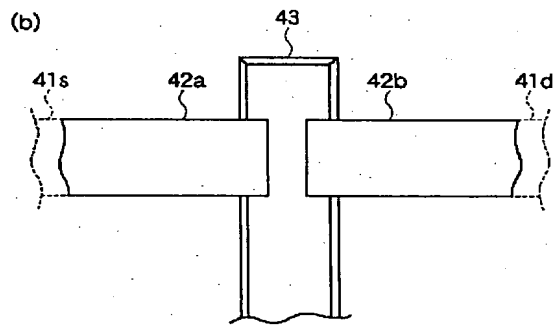
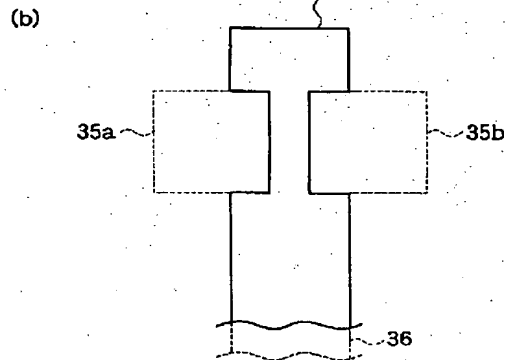
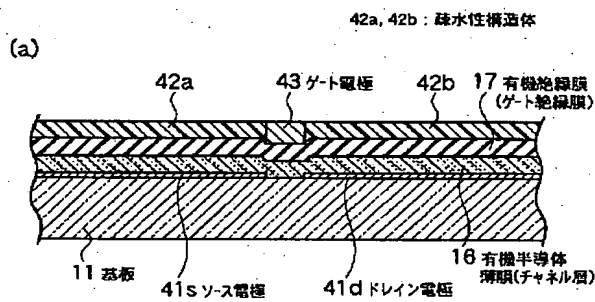
【図24】



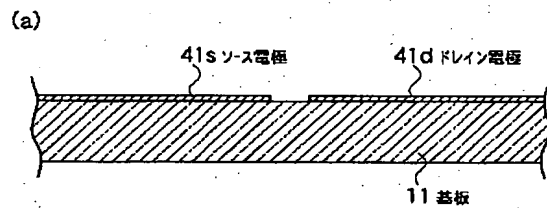
【図25】



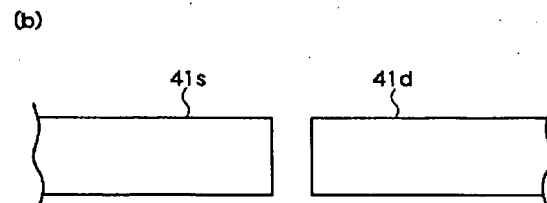
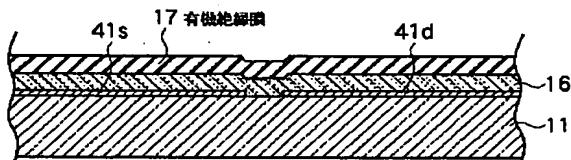
【図26】



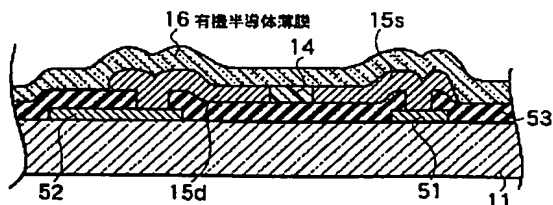
【図27】



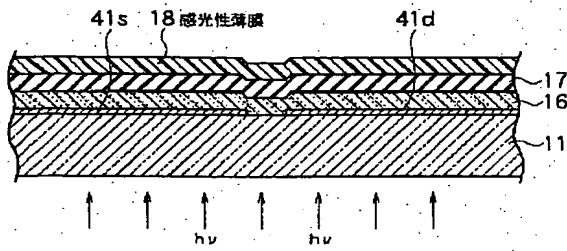
【図29】



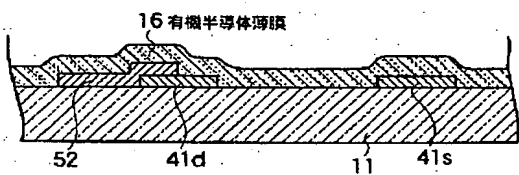
【図38】



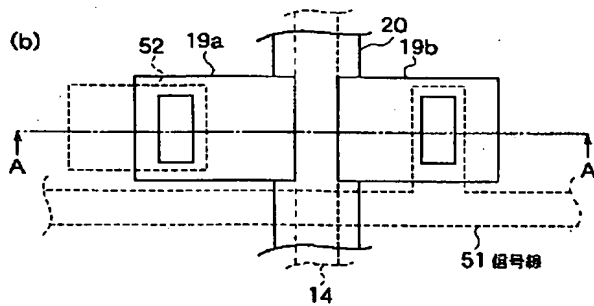
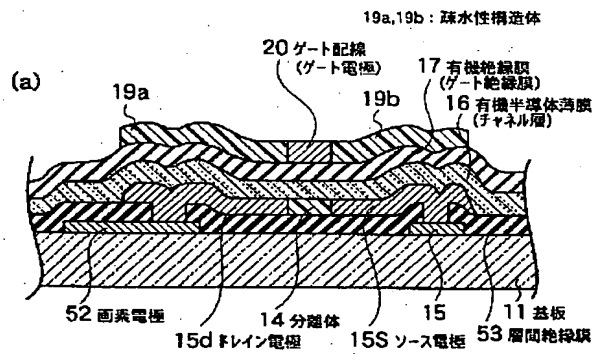
【図30】



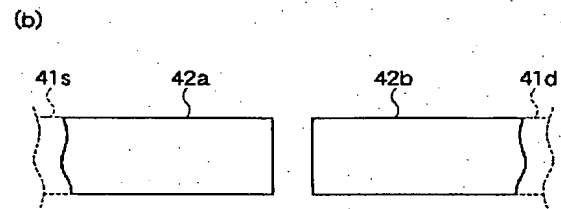
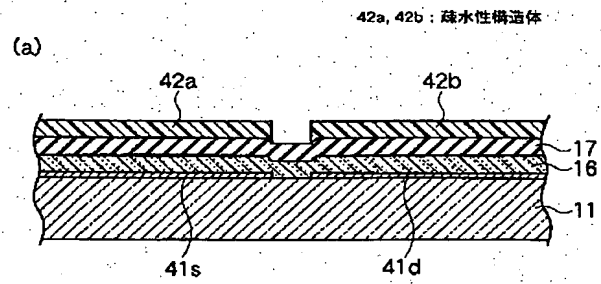
【図46】



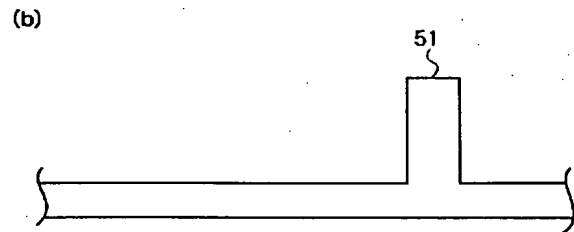
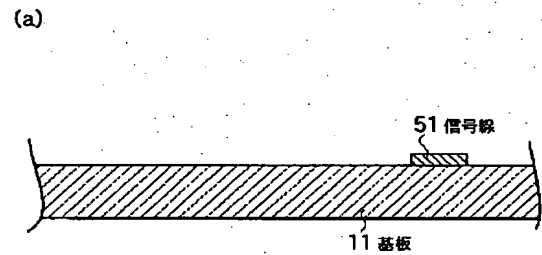
【図32】



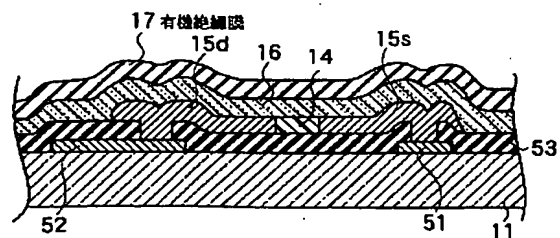
【図31】



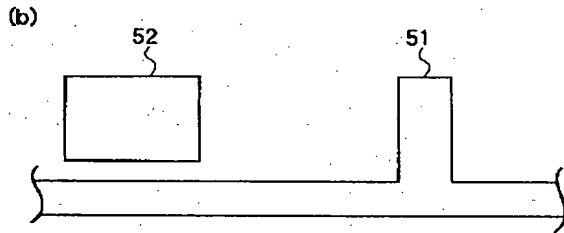
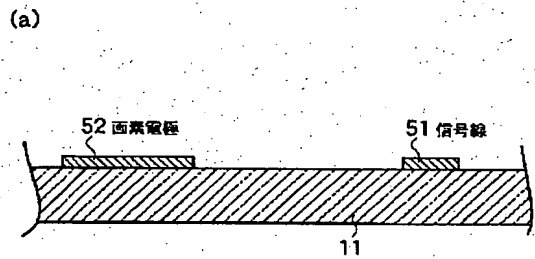
【図33】



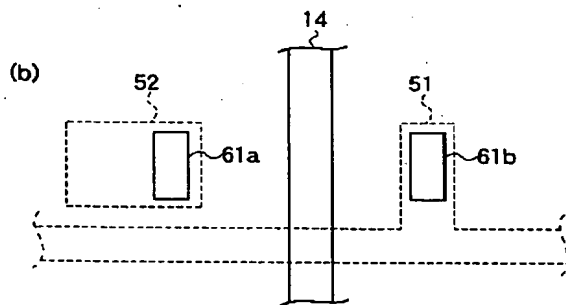
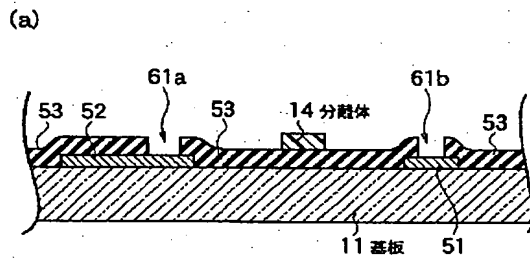
【図39】



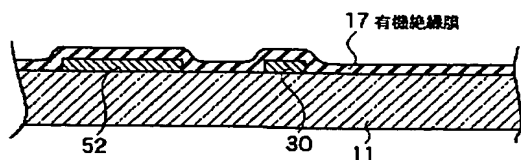
【図34】



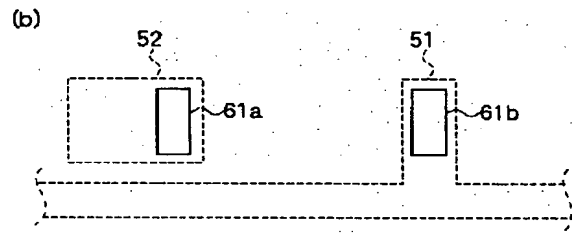
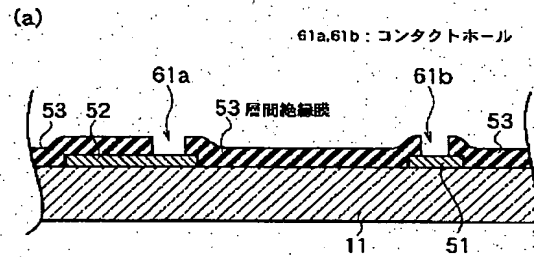
【図36】



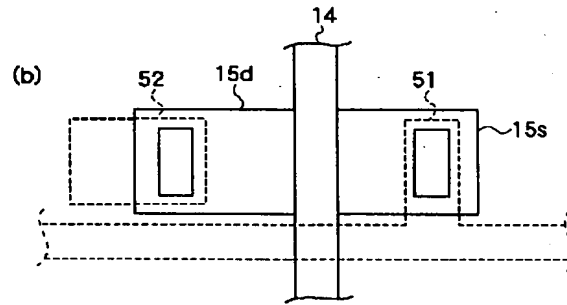
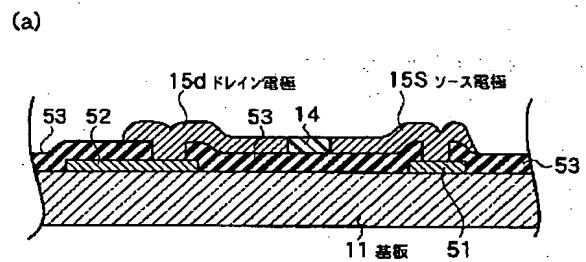
【図54】



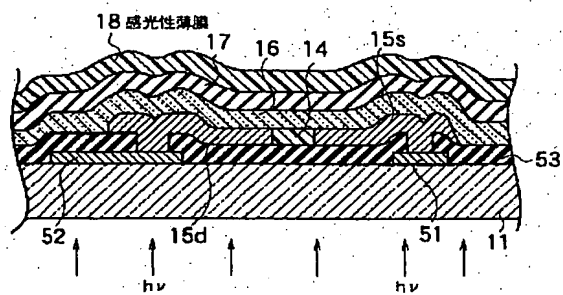
【図35】



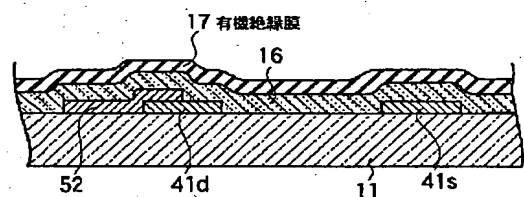
【図37】



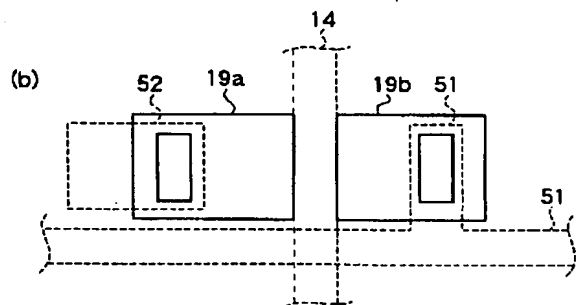
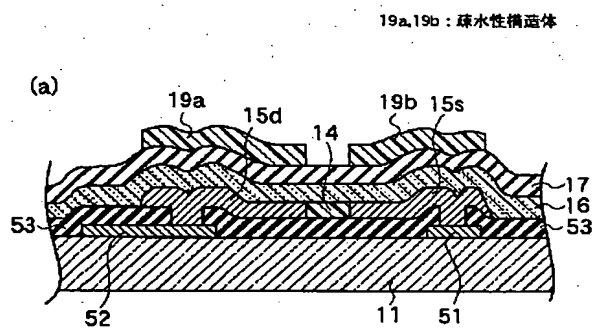
【図40】



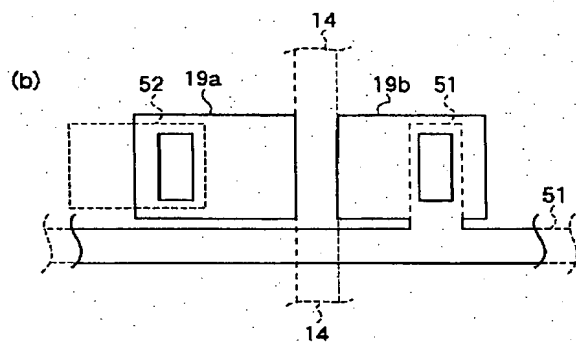
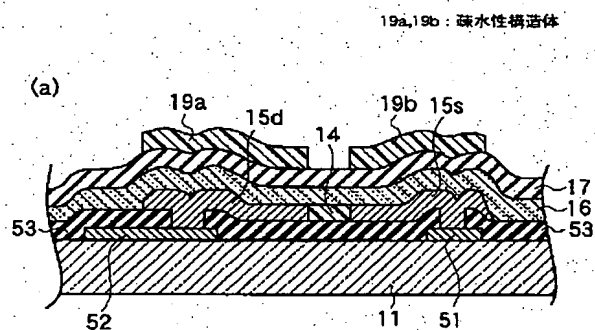
【図47】



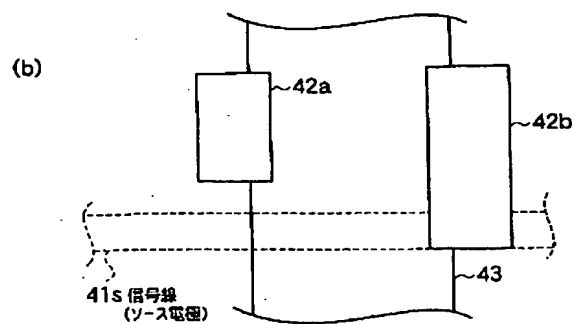
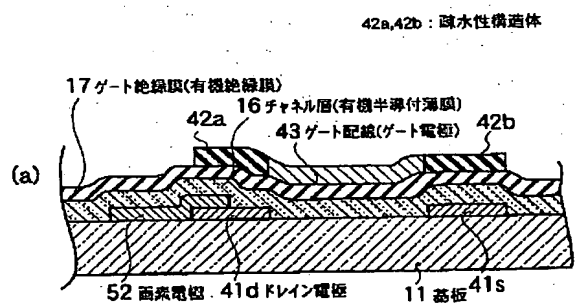
【図42】



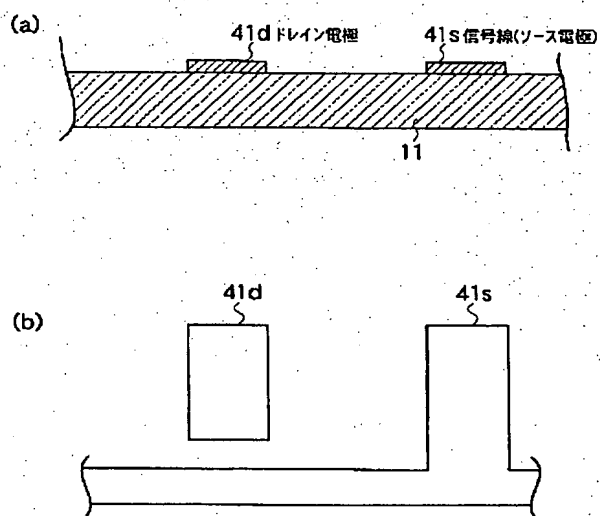
【図4.1】



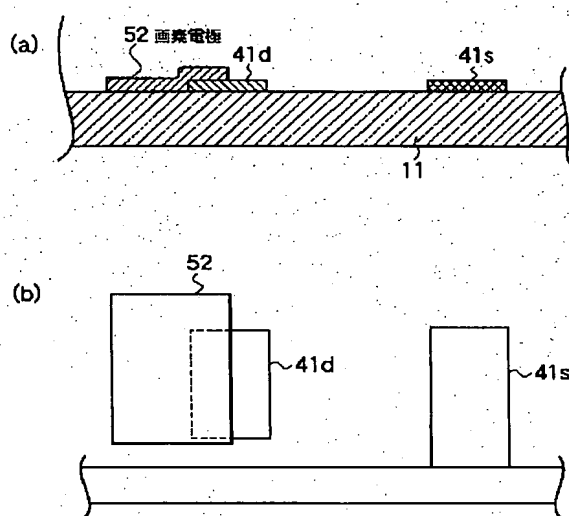
【図43】



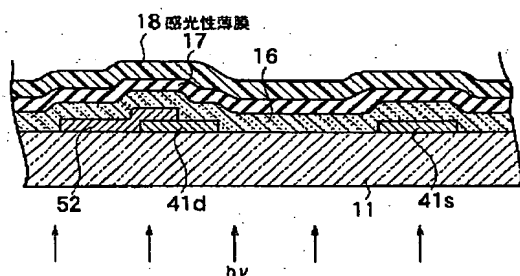
【図44】



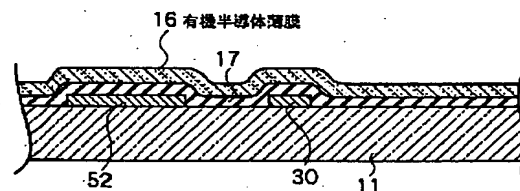
【図45】



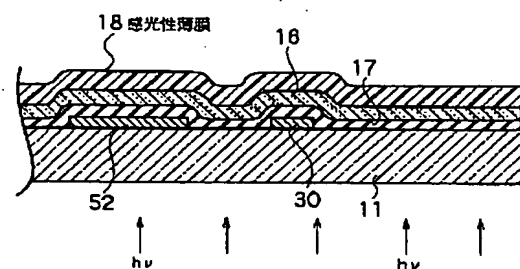
【図48】



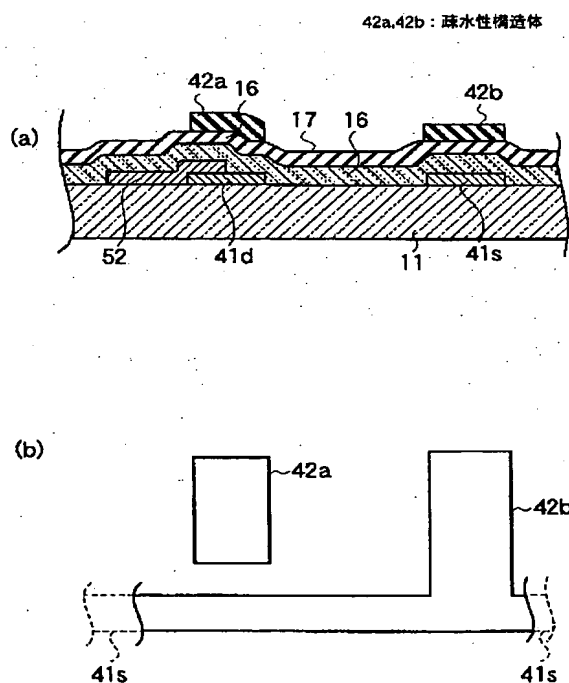
【図55】



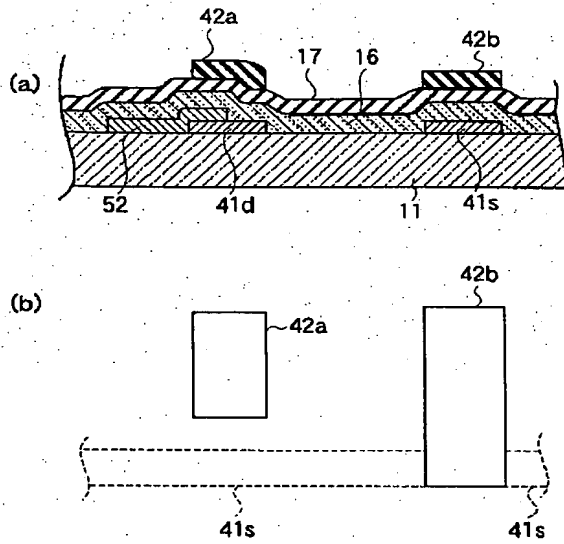
【図56】



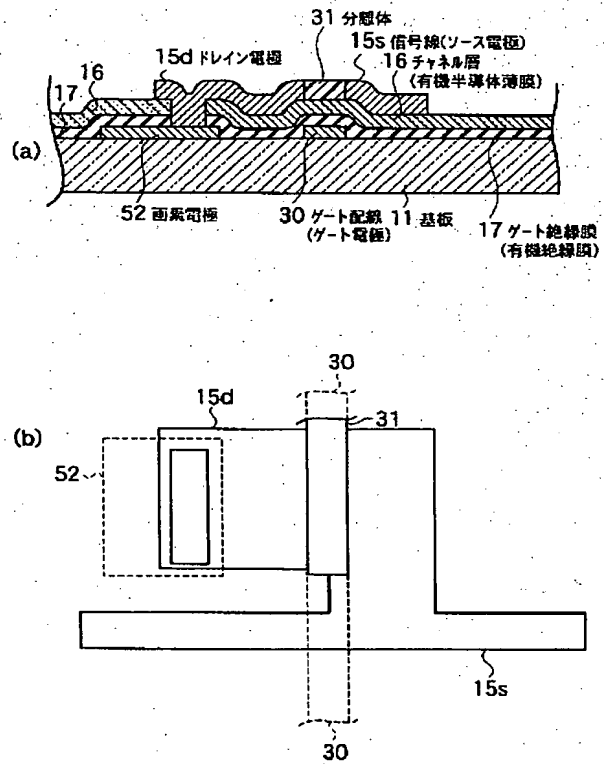
【図49】



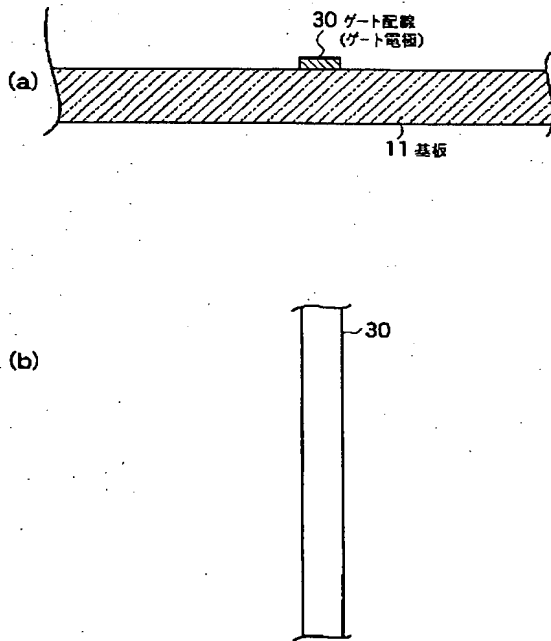
【図50】



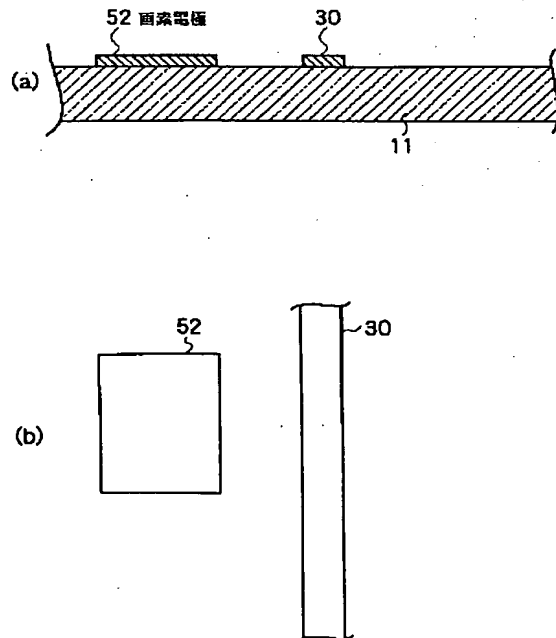
【図51】



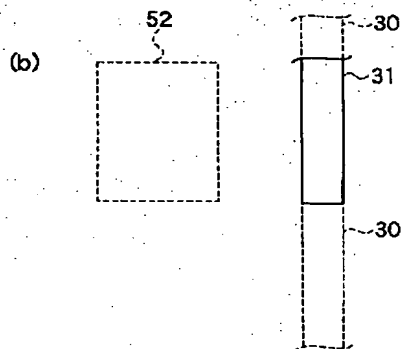
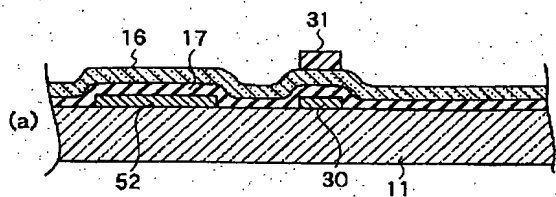
【図52】



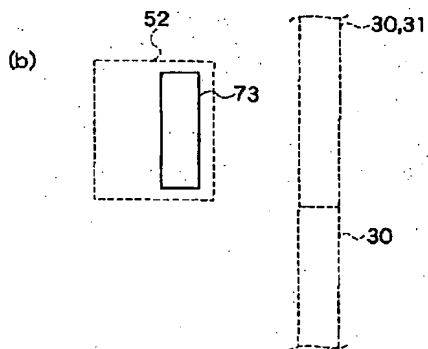
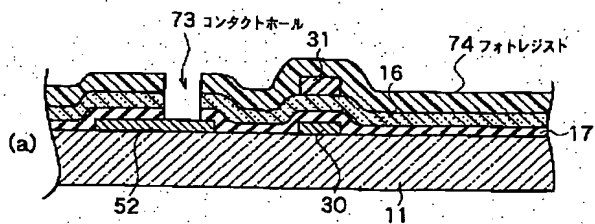
【図53】



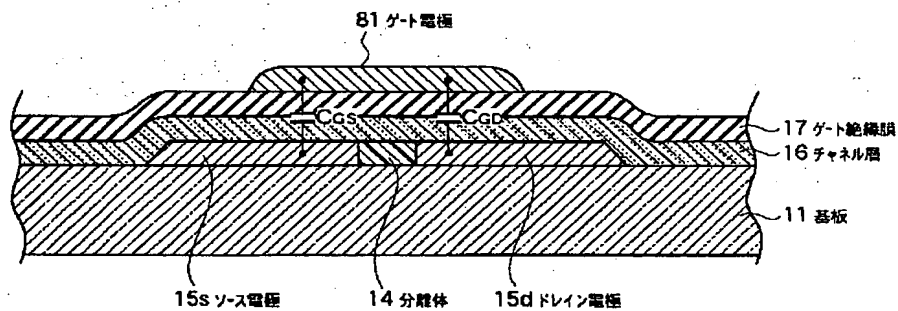
【图5.7】



【図58】



【図59】



フロントページの続き

(51) Int. Cl. 7

識別記号

F I
H O 1 L 29/28

「コード」(参考)

(72)発明者 小野塚 豊
神奈川県川崎市幸区小向東芝町1番地 株
式会社東芝研究開発センター内

(72)発明者 中島 充雄
神奈川県川崎市幸区小向東芝町1番地 株
式会社東芝研究開発センター内

(72)発明者 秋山 政彦
神奈川県川崎市幸区小向東芝町1番地 株
式会社東芝研究開発センター内

Fターム(参考) 2H092 JA25 JA26 KA09 KA13 KA20
KB21 MA12 NA23 NA27 PA01
5F110 AA02 BB01 CC05 CC07 DD01
DD02 EE01 EE06 EE41 EE43
EE44 FF01 FF21 FF27 GG05
GG24 GG41 GG42 HK01 HK31
HL03 HL05 HL06 HL22 HL23
NN02 NN12 NN23 NN27 NN32
NN33 NN36 NN72 QQ01 QQ06
QQ12 QQ14 QQ19